

**This Page Is Inserted by IFW Operations  
and is not a part of the Official Record**

## **BEST AVAILABLE IMAGES**

**Defective images within this document are accurate representations of the original documents submitted by the applicant.**

**Defects in the images may include (but are not limited to):**

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

3  
CORR US 5,384,501  
US 5,227,681

①9 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

⑫ Übersetzung der  
**europäischen Patentschrift**  
⑨7 EP 0461 922 B 1  
⑩ DE 691 31 531 T 2

⑤1 Int. Cl. 7:  
**G 06 G 7/184**  
H 03 H 11/04

- ②1 Deutsches Aktenzeichen: 691 31 531.0  
⑨6 Europäisches Aktenzeichen: 91 305 416.9  
⑨6 Europäischer Anmeldetag: 14. 6. 1991  
⑨7 Erstveröffentlichung durch das EPA: 18. 12. 1991  
⑨7 Veröffentlichungstag  
der Patenterteilung beim EPA: 18. 8. 1999  
④7 Veröffentlichungstag im Patentblatt: 23. 3. 2000

③0 Unionspriorität:

15551490 15. 06. 1990 JP  
6166490 26. 03. 1991 JP

⑦3 Patentinhaber:

Kabushiki Kaisha Toshiba, Kawasaki, Kanagawa, JP

⑦4 Vertreter:

Henkel, Feiler & Hänzel, 81675 München

⑧4 Benannte Vertragsstaaten:

DE, GB

⑦2 Erfinder:

Koyama, Mikio, c/o Intellectual Property Division,  
Minato-ku, Tokyo 105, JP; Tanimoto, Hiroshi, c/o  
Intellectual Property Div., Minato-ku, Tokyo 105, JP

⑤4 Integrierschaltung

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

DE 691 31 531 T 2

DE 691 31 531 T 2

91 305 416.9  
KABUSHIKI KAISHA TOSHIBA

- 5 Die vorliegende Erfindung bezieht sich auf eine Integrierschaltung und insbesondere auf eine eine variable Zeitkonstante aufweisende Integrierschaltung, die auf ein aktives Filter und dergleichen angewandt wird.
- 10 Neuerdings wurden aktive Filter in Hochfrequenz-ICs umgebildet. Versuche wurden unternommen, ein aktives Filter, das eine Videofrequenz (einige MHz), die für Videovorrichtungen, wie z. B. einen VTR und einen
- 15 Fernsehempfänger verwendet werden, zusammen mit einem Kondensator in eine integrierte Schaltung zu integrieren. Falls die Frequenz eines aktiven Filters weiter erhöht wird, wird erwartet, daß ein Hochpräzisions-Tiefpaßfilter mit einer Frequenz von 20 MHz bis 35 MHz, der für
- 20 Hochqualitätsfernsehen verwendet wird, und ein hochqualitatives Bandpaßfilter, der bei einer Frequenz von einigen Zehn MHz betrieben wird und auf dem Gebiet der Kommunikation verwendet wird, verwirklicht werden kann.
- Falls ein aktives Filter, das ein Frequenzband oberhalb
- 25 einigen MHz aufweist, durch ein Filter vom Operationsverstärker-Typ realisiert wird, der aus zwei Verstärkungsstufen gebildet ist, sind gute Frequenzcharakteristiken aufgrund der Notwendigkeit einer Phasenkompensation schwierig zu erhalten. Wenn ein aktives
- 30 Filter mit einem hohen Frequenzband zu verwirklichen ist, wird aus diesem Grund eine Integrierschaltung, die aus einem Differenzverstärker mit einem Kondensator als Last aufgebaut ist, verwendet. Eine Integrierschaltung, die einen aktiven Filter bildet, muß die folgenden Anforderungen erfüllen:
- 35 a. sie weist eine variable Zeitkonstante auf, um eine Korrektur von Variationen in Kapazitätswerten eines in einem IC integrierten Kondensators zu ermöglichen;

b. sie weist einen hohen Rauschabstand auf, wenn ein aktiver Filter gebildet ist; und

5 c. sie weist einen kleinen Verzerrungsfaktor auf.

Das Leistungsverhalten, das von der Integrierschaltung gefordert wird, um die Anforderung b zu erfüllen, wird unten beschrieben.

10

Der Rauschabstand des Filters ist als das Verhältnis des Eingabepegelbereichs ( $V_r$ ) des Differenzverstärkers, der die Integrierschaltung bildet, zu einer Quadratwurzel  $\sqrt{(V_{out2})}$  des quadratischen Mittels der Ausgangsrauschspannungen, die von dem Filter ausgegeben werden, definiert, wie durch die

15

folgende Gleichung (1) angegeben wird:

$$S/N = \frac{V_r}{\sqrt{(V_{out2})}} \quad (1)$$

20

Gemäß dem in Referenz 1 beschriebenen Analyseergebnis: "High frequency CMOS continuous-time Filters", ist die Ausgangsrauschspannung  $\sqrt{(V_{out2})}$  proportional dem quadratischen Mittel der gleichwertigen

25

Eingangsrauschspannung  $V_{in}$ , des Filters  $Q$  und einer Mittenfrequenz von  $f_0$  und wird durch folgende Gleichung (2) für ein quadratisches Filter angegeben:

30

$$\overline{V_{out2}} = \frac{V_{in2}}{\Delta f} Q \cdot f_0 \cdot \pi \quad (2)$$

wobei  $\Delta f$  die Bandbreite ist.

35

Gemäß den Gleichungen (1) und (2) ist es offensichtlich, daß der Rauschabstand eines aktiven Filters unter Verwendung einer Integrierschaltung mit einem hohen Verhältnis des

Eingangspegelbereichs  $V_r$  zur äquivalenten Eingangssrauschspannung  $V_{in}$  erhöht werden kann.

Eine durch eine Verstärkungszelle gebildete

5 Integrierschaltung wird weit verbreitet als eine herkömmliche Integrierschaltung für ein aktives Filter verwendet. Beispielsweise wird diese Integrierschaltung für ein Mehrzweckfilter verwendet, das in der Referenz:

10 Veröffentlichte ungeprüfte japanische Patentanmeldung Nr. 58-161413 offenbart wird. Wenn das Produkt aus einer Transkonduktanz  $g_m$  eines Transistors  $Q_3$  und einem Emitter-Degenerierungswiderstand  $R_E$  infolge der lokalen Rückkoppelung durch den Emitter-Degenerierungswiderstand  $R_E$  ausreichend größer als 1 ( $g_m \cdot R_E \gg 1$ ) ist, wird die

15 Nichtlinearität eines aus Transistoren  $Q_1$  und  $Q_2$  gebildeten Differenzverstärkers verbessert, um lineare E/A-Charakteristiken aufzuweisen. Ferner kann ein Eingangsbereich, der so groß wie  $g_m \cdot R_{Ee}$  mal derjenigen einer Schaltung ohne den Emitter-Degenerierungswiderstand  $R_E$

20 ( $100 \text{ mVpp} \times g_m R_E$ ) ist, erhalten werden.

Eine Transkonduktanz  $G_m$  der Verstärkungszelle ist das Produkt des Kehrwerts des Emitter-Degenerierungswiderstands  $R_E$  und des Verhältnisses eines Stroms  $I_1$  zu einem Strom  $I_2$ , d. h.

25  $(1/R_E)(I_1/I_2)$ . Eine für ein aktives Filter verwendete Integrierschaltung muß eine variable Zeitkonstante aufweisen, um die Charakteristiken (hauptsächlich eine Grenzfrequenz oder eine Mittenfrequenz) des Filters zu ändern.

30 Bei der herkömmlichen Integrierschaltung wird eine Ausgabe von dem Differenzverstärker logarithmisch durch einen Transistor  $Q_5$  komprimiert und nachfolgend durch den Transistor  $Q_3$  expandiert, um ein Ausgangssignal  $V_{out}$  zu extrahieren. Zusätzlich kann die Gesamttranskonduktanz durch

35 Ändern des Werts des Stroms  $I_2$  oder  $I_1$  geändert werden, womit die Zeitkonstante geändert wird. Daher wird in dieser Integrierschaltung ein Rauschen während einer

Komprimierung/Expandierung verstärkt, und das quadratische Mittel  $\overline{V_{int2}}$  der äquivalenten Eingangsräuschspannung ist durch die folgende Gleichung (3) unter der Annahme, daß  $I_1 = I_2$  ist, gegeben, wobei diese Integrierschaltung der Einfachheit halber durch eine Schaltung mit einer niedrigen Ausgangsimpedanz angesteuert wird. In diesem Fall ist das durch den Basisstrom erzeugte Schrotrauschen zu klein, um berücksichtigt zu werden.

$$\frac{\overline{V_{int2}}}{\Delta f \cdot 2 \cdot 4kT} = R_B(2n^2 + 1) + \frac{(2n + 2)}{2G_m} \quad (3)$$

für  $n = g_m \cdot R_E$ , wobei  $k$  die Boltzmann-Konstante,  $T$  die absolute Temperatur,  $R_B$  der Basiswiderstand eines Transistors und  $G_m$  die Transkonduktanz einer Verstärkungsstufe ist. Zum Vergleich ist eine gleichwertige Eingangsräuschspannung  $\overline{V_{int'2}}$  des grundlegendsten Differenzverstärkers ohne den Emitter-Degenerierungswiderstand  $R_E$  durch die Gleichung (4) gegeben:

$$\frac{\overline{V_{int'2}}}{\Delta f \cdot 2 \cdot 4kT} = R_B + \frac{(2n + 2)}{2g_m'} \quad (4)$$

wobei  $g_m'$  die Transkonduktanz eines Transistors ist.

Unter der Annahme, daß die zwei Arten von Transkonduktanzen  $G_m$  und  $g_m'$  im Wert gleich sind, geht in diesem Fall aus einem Vergleich zwischen Gleichungen (3) und (4) hervor, daß sich das thermische Rauschen infolge der Basiswiderstands  $R_B$  und das Schrotrauschen  $\sqrt{2} \cdot n$  mal bzw.  $\sqrt{(2n + 2)}$  mal hinsichtlich des Spannungswerts erhöht. Da sich das Rauschen mit der Expandierung des Eingangspegelbereichs erhöht, ist eine Erhöhung des Rauschverhältnisses eher nicht zu erwarten.

Gemäß einer in einer Referenz offenbarten Integrierschaltung: "Gyrator Video Filter IC with Automatic Tuning", IEEE JOURNAL OF SOLID-STATE CIRCUITS, Band SC-15, DEZEMBER 1980, Seite

965, Fig. 7, 1980 wird nur die Linearität durch den Emitter-Degenerierungswiderstand  $R_E$  verbessert und das Rauschen wird nicht verstärkt, da eine logarithmische

Komprimierung/Expandierung nicht wie bei der

5 Verstärkungszelle in dem herkömmlichen Filter durchgeführt wird. Das quadratische Mittel  $\overline{v_{int}^2}$  der äquivalenten Eingangsausgangsspannung dieser Schaltung ist durch die folgende Gleichung gegeben, vorausgesetzt, daß die Transkonduktanz der letzteren, herkömmlichen Schaltung durch

10  $G_m'$  dargestellt ist:

$$\frac{\overline{v_{int}^2}}{\Delta f \cdot 2 \cdot 4kT} = \frac{(1/2n + 1)}{2G_m'} \quad (5)$$

15 Die Rauschabgabe von der Schaltung ist verglichen mit der Verstärkungszelle sehr gering und das Rauschen wird mit der Expandierung des Eingangspegelbereichs ( $n$  groß) nicht erhöht.

Bei der letzteren, herkömmlichen Integrierschaltung ändert sich sogar dann die Transkonduktanz  $G_m'$  nicht, wenn

20 beispielsweise der Wert des Stroms  $I_1$  geändert wird. Wie in Fig. 7 gezeigt wird, muß folglich die Zeitkonstante der Integrierschaltung durch Verwenden einer Varaktordiode als eine Lastkapazität und durch Ändern einer Vorspannung  $V_B$ , um die Kapazität zu ändern, gesteuert werden. Da die

25 Lastkapazität durch ein Eingangssignal geändert wird, wird jedoch mit dieser Anordnung unweigerlich eine Verzerrung verursacht. Da es im allgemeinen schwierig ist, den variablen Bereich der Kapazität einer Varaktordiode zu erweitern, ist der variable Bereich der Zeitkonstante der Integrierschaltung

30 schmal. Falls daher ein aktives Filter durch diese Integrierschaltung aufgebaut wird, können Variationen in der Grenzfrequenz nicht oft korrigiert werden, um eine gewünschte Frequenz zu erhalten. Falls der variable Bereich der Kapazität der Varaktordiode erweitert wird, wird die

35 Verzerrung, basierend auf den Variationen in der Lastkapazität eines Eingangssignals, erhöht.

Wie oben beschrieben ist, kann bei der durch die herkömmliche Verstärkungszelle aufgebauten Integrationschaltung die Zeitkonstante leicht über einen breiten Bereich durch Ändern der Transkonduktanz des Differenzverstärkers geändert werden, wobei jedoch Rauschen verstärkt wird. Bei der Integrationschaltung, deren Zeitkonstante durch die Varaktordiode geändert wird, ist der variierbare Bereich der Zeitkonstanten schmal und eine Verzerrung wird durch die Erweiterung des variierbaren Bereichs erhöht.

Die Veröffentlichung 1989 IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS, Band 1 von 3, 8 - 11 Mai 1989, Seiten 100 - 105, F. Krummenacher: "Design Considerations in High-Frequency CMOS Transconductance Amplifier Capacitor (TAC) Filters" beschreibt einen MOS-Verstärker mit Differenzeingabe und aktiver Last. Ein MOS-Transistor M2 ist zwischen den Sourcen der den Differenzverstärker bildenden Transistoren verbunden.

Die US-Patentveröffentlichung US-A-4904952 von TOSHIBA offenbart einen Integrator, siehe Figur 14, der einen Kondensator 31 als eine mit einem Differenzverstärker gekoppelte Last aufweist, die aus Bipolartransistoren Q7 und Q8, und einem Widerstand, der zwischen den Emittern dieser Transistoren gekoppelt ist, aufgebaut ist.

Es ist eine Aufgabe der vorliegenden Erfindung, eine Integrationschaltung bereitzustellen, in der eine Zeitkonstante durch Ändern einer Transkonduktanz über einen breiten Bereich ohne eine Erhöhung der Verzerrung geändert werden kann, und ein Rauschen nicht verstärkt wird.

Gemäß der vorliegenden Erfindung ist eine Integrationschaltung mit folgenden Merkmalen vorgesehen:

Einem Differenzverstärker; einem Kondensator, der als eine Last des Differenzverstärkers dient; einem Steueranschluß, an



den eine Steuerspannung angelegt ist; und einem Feldeffekttransistor, der mit dem Differenzverstärker verbunden ist, wobei der Differenzverstärker mindestens erste und zweite Bipolartransistoren aufweist, deren jeweilige  
5   Emitterelektroden und jeweilige Basiselektroden mit jeweiligen Eingangsanschlüssen verbunden sind, und die als verstärkende Elemente dienen, wobei der Feldeffekttransistor Source- und Drainelektroden, die jeweils mit den  
10   Emitterelektroden der ersten und zweiten Bipolartransistoren verbunden sind, und eine Gateelektrode, die mit dem Steueranschluß verbunden ist, aufweist.

Der Differenzverstärker kann erste bis vierte Bipolartransistoren als verstärkende Elemente aufweisen. Die  
15   Basiselektroden der ersten und zweiten Bipolartransistoren dienen als Eingangsanschlüsse, und die Kollektorelektrode von mindestens einem der ersten und zweiten Bipolartransistoren dient als Ausgangsanschluß. Die Kollektor- und  
20   Basiselektroden des dritten Bipolartransistors sind jeweils mit den Emitterelektroden der ersten und zweiten Bipolartransistoren verbunden. Die Kollektor- und  
25   Basiselektroden des vierten Bipolartransistors sind jeweils mit den Emitterelektroden der zweiten und ersten Bipolartransistoren verbunden. In diesem Fall wird ähnlich  
30   der obigen Schaltung ein Kondensator als eine Last mit dem Differenzverstärker verbunden, um eine Integrierschaltung zu bilden. Die Source- und Drainelektroden eines Feldeffekttransistors sind zwischen den Emitterelektroden der dritten und vierten Bipolartransistoren verbunden, während  
35   die Gateelektrode des Feldeffekttransistors mit einem Steueranschluß verbunden ist.

Bei der Integrierschaltung der vorliegenden Erfindung wird durch Ändern des Widerstandswertes zwischen den Source- und  
35   Drainelektroden des neu angeordneten Feldeffekttransistors (nachstehend als ein FET bezeichnet) unter Verwendung einer Gate-Spannung die Transkonduktanz des Differenzverstärkers

über einen breiten Bereich wie bei der auf der Verstärkungszelle basierenden Integrierschaltung geändert. Folglich wird die Zeitkonstante der Integrierschaltung geändert. Falls diese Integrierschaltung für einen aktiven  
5 Filter verwendet wird, kann beispielsweise die Grenzfrequenz durch Ändern der Zeitkonstante der Integrierschaltung geändert werden.

Hinsichtlich des durch einen FET erzeugten Rauschens kann ein  
10 1/f-Rauschen bei niedrigen Frequenzen nicht vernachlässigt werden. Unter der Annahme, daß die Integrierschaltung der vorliegenden Erfindung auf einen Filter angewendet wird, der bei einer Frequenz von einigen MHz verwendet wird, d. h. in einem Videofrequenzband, ist jedoch das thermische Rauschen,  
15 das dem Widerstandswert zwischen den Source- und Drainelektroden des FET entspricht, das dominante Rauschen. Daher wird das quadratische Mittel  $\sqrt{v_{int}^2}$  äquivalenter Eingangsausgangsspannungen der Integrierschaltung der vorliegenden Erfindung im wesentlichen das gleiche wie bei  
20 das der herkömmlichen Integrierschaltung, die keine rauschverstärkende Wirkung aufweist, und diese Integrierschaltung erzeugt ein sehr schwaches Rauschen im Vergleich zu der auf der Verstärkungszelle basierenden Integrierschaltung.

25

Diese Erfindung ist aus der folgenden detaillierten Beschreibung in Verbindung mit den beigefügten Zeichnungen besser verständlich, in denen:

30 Fig. 1 ein Schaltplan ist, der eine Integrierschaltung gemäß einer Ausführungsform der vorliegenden Erfindung zeigt;

Fig. 2 ein Schaltplan ist, der eine Integrierschaltung zeigt, in der die Emitter von Bipolartransistoren, die einen  
35 Differenzverstärker bilden, miteinander durch einen Feldeffekttransistor verbunden sind;

Fig. 3 ein Schaltplan ist, der eine Integrierschaltung zeigt, zu der eine Schaltung mit positiver Rückkopplung hinzugefügt ist;

5 Fig. 4 ein Schaltplan ist, der eine Integrierschaltung zeigt, die eine Gleichstrom-Verstärkungssteuerung verwendet;

10 Fig. 5 ein Schaltplan ist, der eine Integrierschaltung zeigt, die durch eine Kombination der in Fig. 2 und Fig. 3 gezeigten Schaltungen aufgebaut ist;

Fig. 6 ein Schaltplan ist, der eine Integrierschaltung zeigt, in der der Widerstandswert zwischen den Emittern von Bipolartransistoren eine vorbestimmte Obergrenze aufweist;

15

Fig. 7 ein Schaltplan ist, der eine Integrierschaltung zeigt, die durch eine Kombination der in Fig. 5 und 6 gezeigten Ausführungsformen gebildet ist;

20 Fig. 8 ein Schaltplan ist, der eine Integrierschaltung als eine Abwandlung der in Fig. 7 gezeigten Schaltung zeigt;

Fig. 9 ein Schaltplan ist, der eine Integrierschaltung zeigt, die unter digitaler Steuerung zu betreiben ist.

25

Fig. 10 ein Schaltplan ist, der eine Integrierschaltung mit verbesserten Nichtlinearitätscharakteristiken zeigt;

30 Fig. 11 ein Schaltplan ist, der eine Integrierschaltung mit verbesserten Nichtlinearitätscharakteristiken gemäß einer weiteren Ausführungsform der vorliegenden Erfindung zeigt;

35 Fig. 12 ein Schaltplan ist, der eine Integrierschaltung zeigt, in der die Nichtlinearitätscharakteristiken eines Feldeffekttransistors zum Verbinden der Emitter von Bipolartransistoren miteinander verbessert sind;

Fig. 13 ein Schaltplan ist, der eine Integrierschaltung als eine Abwandlung der in Fig. 12 gezeigten Schaltung zeigt;

Fig. 14 ein Schaltplan ist, der ein aktives Filter unter Verwendung der Integrierschaltung der vorliegenden Erfindung zeigt;

Fig. 15 ein Schaltplan ist, der eine spannungsgesteuerte Stromquelle in der in Fig. 14 gezeigten Schaltung zeigt;

Fig. 16 ein Schaltplan ist, der im Detail eine Anordnung eines aktiven Filters in Fig. 15 zeigt;

Fig. 17 ein Schaltplan ist, der ein weiteres aktives Filter unter Verwendung einer Integrierschaltung der vorliegenden Erfindung zeigt;

Fig. 18A und 18B Schaltpläne sind, die eine spannungsgesteuerte Stromquelle in Fig. 14 zeigt;

Fig. 19 ein Schaltplan ist, der ein noch weiteres aktives Filter unter Verwendung der Integrierschaltung der vorliegenden Erfindung zeigt;

Fig. 20 ein Schaltplan ist, der ein Kreuzglied-Tiefpaßfilter fünfter Ordnung (lattice type quintic low-pass filter) zeigt;

Fig. 21 ein Schaltplan ist, der das Tiefpaß-Filter in Fig. 20 zeigt, das durch die Integrierschaltung der vorliegenden Erfindung aufgebaut ist; und

Fig. 22 ein Schaltplan ist, der einen spannungsgesteuerten Oszillator unter Verwendung der Integrierschaltung der vorliegenden Erfindung zeigt.

Gemäß Fig. 1 umfaßt ein Differenzverstärker erste und zweite Bipolartransistoren (die einfach als Transistoren nachstehend

bezeichnet werden) 11 und 12, Stromquellen 13 und 14 als Lasten, die jeweils zwischen die Kollektorelektroden der Transistoren 11 und 12 und eine Energiequelle Vcc geschaltet sind, und Stromquellen 15 und 16, die jeweils mit den  
5 Emitterelektroden der Transistoren 11 und 12 und Erde GND zum Bestimmen des Stromwerts des Differenzverstärkers verbunden sind. Die Basiselektroden der Transistoren 11 und 12 sind jeweils mit den Eingangsanschlüssen IN1 und IN2 verbunden, während die Kollektorelektroden der Transistoren 11 und 12  
10 jeweils mit den Ausgangsanschlüssen OUT1 und OUT2 verbunden sind. Als Last des Differenzverstärkers ist ein Kondensator 17 zwischen die Kollektorelektroden der Transistoren 11 und 12 geschaltet, womit eine Integrierschaltung aufgebaut ist.

15 Die Source- und Drainelektroden eines Feldeffekttransistors (nachstehend als FET bezeichnet) 18 sind zwischen die Emitterelektroden der Transistoren 11 und 12 geschaltet. Die Gateelektrode des FET 18 ist mit einem Steueranschluß 19 verbunden. Der FET 18 wird als Element mit veränderlichem  
20 Widerstand verwendet. Der Widerstandswert zwischen den Source- und Drainelektroden des FET 18 wird durch eine Steuerspannung VC gesteuert, die an seiner Gateelektrode durch den Steueranschluß 19 angelegt ist. Als FET 18 kann entweder ein MOSFET oder ein Sperrschicht-FET verwendet  
25 werden.

Ein Eingangssignal wird an die Eingangsanschlüsse IN1 und IN2 geliefert. Folglich werden die Kollektorströme der Transistoren 11 und 12 geändert. Ausgangssignale, die  
30 Änderungen im Kollektorstrom entsprechen, werden als Differentialausgaben von den Ausgangsanschlüssen OUT1 und OUT2 extrahiert.

Bei der Integrierschaltung mit der oben beschriebenen  
35 Anordnung dient der FET 18 als ein Emitter-Degenerierungswiderstand des Differenzverstärkers. Folglich kann die Transkonduktanz des Differenzverstärkers durch

- Ändern des Widerstandswerts zwischen den Source- und Drainelektroden des Feld 18 mittels der an die Gateelektrode des FET 18 angelegten Steuerspannung VC geändert werden. Folglich ändert sich die Zeitkonstante der
- 5 Integrierschaltung, der durch die Transkonduktanz des Differenzverstärkers und der Kapazität des Kondensators 17 bestimmt wird. Wie oben beschrieben ist, kann gemäß der Integrierschaltung der vorliegenden Erfindung die
- 10 Zeitkonstante über einen weiten Bereich durch Ändern der Transkonduktanz geändert werden. In diesem Fall tritt im Gegensatz zu der letzteren, herkömmlichen Schaltung, deren Zeitkonstante unter Verwendung der Varaktordiode geändert wird, keine Verzerrung auf.
- 15 Da ein Rauschen nicht wie bei der letzteren, herkömmlichen Schaltung in dieser Integrierschaltung verstärkt wird, ist das quadratische Mittel  $\overline{v_{int}^2}$  der äquivalenten
- 20 Eingangsrauschspannungen gleich derjenigen in der letzteren herkömmlichen Schaltung, und ein Rauschen wird sogar dann nicht erhöht, wenn der Eingangspegelbereich, d.h.  $n = g_m \cdot R_E$  (wobei  $g_m$  die Transkonduktanz eines Transistors und  $R_E$  der Widerstandswert zwischen Source und Drain des FET 18 ist) erweitert wird.
- 25 Die Integrierschaltung der vorliegenden Erfindung ist für ein aktives Filter geeignet, wie unten beschrieben wird. Wenn ein aktives Filter in einem Hochfrequenzband zu betreiben ist, muß eine Transkonduktanz  $G_m$  des Differenzverstärkers erhöht werden, um die Grenzfrequenz zu erhöhen. Zu diesem Zweck muß
- 30 die Transkonduktanz  $g_m$  eines für den Differenzverstärker verwendeten Transistors erhöht werden. Da die Bipolartransistoren 11 und 12 in der Integrierschaltung der vorliegenden Erfindung als verstärkende Elemente des Differenzverstärkers verwendet werden, kann die
- 35 Transkonduktanz  $G_m$  leicht erhöht werden.

Das heißt, daß die Transkonduktanz  $g_m$  eines MOSFET, der als ein verstärkendes Element eines Differenzverstärkers verwendet wird, 1/10 derjenigen von Bipolartransistoren beträgt, die als verstärkende Elemente eines

5 Differenzverstärkers mit dem gleichen Betriebsstrom verwendet werden, solange wie der MOSFET normale Abmessungen aufweist. Um die gleiche Transkonduktanz  $g_m$  wie diejenige des Bipolartransistors zu erhalten, erfordert daher der MOSFET einen Strom, der etwa das 10-fache dessen ist, der für die  
10 Bipolartransistoren verwendet wird. Dies ist im Hinblick auf Stromverbrauch und Wärmezeugung nicht erwünscht. Folglich werden im Hinblick auf eine Anwendung auf ein aktives Filters, das in einem Hochfrequenzband betrieben wird, Bipolartransistoren vorzugsweise für einen  
15 Differenzverstärker verwendet, der eine Integrierschaltung bildet.

Nachstehend werden weitere Ausführungsformen der vorliegenden Erfindung beschrieben. Fig. 2 bis 6 zeigen jeweils  
20 Integrierschaltungen gemäß weiterer Ausführungsformen der vorliegenden Erfindung. Die gleichen Bezugsziffern in Fig. 2 bis 6 bezeichnen die gleichen Teile wie in Fig. 1, und es werden nachstehend nur unterschiedliche Punkte beschrieben.

25 Bei der in Fig. 2 gezeigten Ausführungsform wird eine positive Rückkoppelungsschaltung, die aus dritten und vierten Transistoren 21 und 22 besteht, zu der in Fig. 1 gezeigten Schaltung hinzugefügt. Mit dieser Anordnung kann eine Integrierschaltung mit einem erweiterten linearen  
30 Eingangsbereich erhalten werden. Genauer gesagt sind die Kollektor- und Basiselektroden des dritten Transistors 21 jeweils mit den Emittierelektroden der ersten und zweiten Transistoren 11 und 12 verbunden. Die Kollektor- und Basiselektroden des vierten Transistors 22 sind jeweils mit  
35 den Emittierelektroden der zweiten und ersten Transistoren 12 und 11 verbunden. Stromquellen 15 und 16 zum Bestimmen des Stromwerts des Differenzverstärkers sind jeweils zwischen den

5     Emitterelektroden der Transistoren 21 und 22 und Erde GND verbunden. Bei dieser Ausführungsform sind die Source- und Drainelektroden eines FET 18 zwischen die Emitterelektroden der Transistoren 21 und 22 geschaltet. Es ist bekannt, daß die Nichtlinearität der Spannungs-Stromcharakteristiken von Bipolartransistoren durch Anordnen einer positiven Rückkopplungsschaltung, die aus den ersten und vierten Transistoren 21 und 22 besteht, verbessert werden kann.

10    Bei der in Fig. 3 gezeigten Ausführungsform wird ein FET 23 zum Ändern einer Gleichstromverstärkung als eine Last eines Differenzverstärkers verwendet, und seine Source- und Drainelektroden sind mit den Kollektorelektroden der Transistoren 11 bzw. 12 verbunden. Die Gateelektrode des FET 15    23 ist mit einem Steueranschluß 24 verbunden. Der Widerstandswert zwischen den Source- und Drainelektroden des FET 23 wird durch Ändern einer Steuerspannung, die an den Steueranschluß 24 anzulegen ist, geändert, wodurch die Gleichstromverstärkung geändert wird. Mit dieser Operation 20    werden niederfrequente Pole geändert, um eine ungewünschte Phasenverzögerung einer Hochfrequenzkomponente zu kompensieren. Diese Technik ist ferner beispielsweise in "High frequency CMOS continuous-time filter" offenbart, die obenstehend beschrieben ist.

25    Bei der in Fig. 4 gezeigten Ausführungsform werden die in Fig. 2 und 3 gezeigten Ausführungsformen kombiniert, um die Wirkungen der beiden Ausführungsformen zu erzielen. Genauer gesagt werden die Stromquellen 15 und 16 zum Bestimmen des 30    Stromwerts eines Differenzverstärkers jeweils zwischen die Emitterelektroden von Transistoren 21 und 22 und Erde GND geschaltet. Die Source- und Drainelektroden eines FET 23 zum Ändern einer Gleichstromverstärkung werden mit den Kollektorelektroden von Transistoren 11 bzw. 12 verbunden. 35    Mit dieser Anordnung kann die Nichtlinearität der Spannungs-Stromcharakteristiken von Bipolartransistoren verbessert werden und die Gleichstromverstärkung kann gesteuert werden.



Bei den obigen Ausführungsformen werden Ausgangssignal aus den zwei Ausgangsanschlüssen OUT1 und OUT2 als Differenzausgaben, d.h. ausgeglichene Ausgaben extrahiert.

5 Jedoch kann eine der Stromquellen 13 und 14 (z. B. 13) als mit den Kollektoren der Transistoren 11 und 12 verbundene Lasten weggelassen werden, und der Kollektor des Transistors 11 kann direkt mit der Stromquelle Vcc verbunden werden, um die Ausgangssignale von einem Abschnitt zwischen dem

10 Kollektor des Transistors 12 und der Erde GND als unausgeglichene Ausgaben zu extrahieren. Zusätzlich kann eine Stromspiegelschaltung als eine Last der Transistoren 11 und 12 in dem Differenzverstärker verwendet werden. Bei der in Fig. 5 gezeigten Ausführungsform sind die Widerstände 29a und

15 29b jeweils zwischen den beiden Enden des FET 23 und den Emittern der Transistoren 11 und 12 in der in Fig. 1 gezeigten Schaltung verbunden. Mit dieser Anordnung können die Einflüsse der Nichtlinearität des FET 23 vermindert werden und die Verzerrung der Ausgaben von den

20 Ausgangsanschlüssen OUT 1 und OUT2 kann vermindert werden.

Bei der in Fig. 6 gezeigten Ausführungsform wird ein Widerstand 29 parallel zu dem FET 23 in der in Fig. 1 gezeigten Schaltung geschaltet. Ähnlich zu der in Fig. 5

25 gezeigten Ausführungsform werden bei dieser Ausführungsform die Einflüsse der Nichtlinearität des FET 23 auf die Ausgangsanschlüsse OUT1 und OUT2 unterdrückt, um die Verzerrung der Ausgaben zu vermindern. Ferner kann bei der in Fig. 6 gezeigten Schaltung sogar dann, wenn der

30 Widerstandswert zwischen den Source- und Drainelektroden eines FET 18 durch eine Spannung Vc, die an ein Gate-Anschluß 19 des FET 18 angelegt ist, erhöht wird, die Untergrenze der Zeitkonstante der Integrierschaltung durch den Widerstandswert des Widerstands 29 eingestellt werden.

35

Die in Fig. 7 gezeigte Ausführungsform besteht aus einer Kombination der in Fig. 5 und 6 gezeigten Ausführungsformen.

Genauer gesagt sind die Widerstände 29a und 29b jeweils zwischen die beiden Enden eines FET 18 und die Emitter von Transistoren 11 und 12 g geschaltet, und ein Widerstand 29c ist parallel mit dem FET 18 verbunden. Bei dieser Ausführungsform können die Ober- und Untergrenzen der Zeitkonstanten der Integrierschaltung auf gewünschte Werte gesetzt bzw. eingestellt werden.

Bei der in Fig. 8 gezeigten Ausführungsform wird ein Obergrenzen-setzender Widerstand 29c zu einer Reihenschaltung parallel geschaltet, die einen Widerstand 29a, einen FET 18 und einen Widerstand 29b umfaßt. Bei dieser Ausführungsform können die Ober- und Untergrenzen der Zeitkonstante der Integrierschaltung auf gewünschte Werte eingestellt werden.

Da die Ober- und Untergrenzen der Zeitkonstante bestimmt werden können, kann gemäß den in Fig. 7 und 8 gezeigten Ausführungsformen kann, eine Verriegelungs- bzw. Haltefunktion eines Phasenregelkreises, d.h. eine Antwort auf Variationen in der Eingabe, leicht erzielt werden.

Bei der in Fig. 9 gezeigten Ausführungsform wird eine Mehrzahl von Widerständen R1 bis Rn in Reihe zwischen die Emitter von Transistoren 11 und 12 und FETen 181 bis 18n jeweils parallel zu diesen Widerständen geschaltet. Gemäß dieser Ausführungsform werden die FETen nicht als analoge resistive Elemente verwendet, sondern werden verwendet, um Widerstände zum Bestimmen der Zeitkonstante der Integrierschaltung zu schalten. Das heißt, daß die Zeitkonstante auf eine digitale Art und Weise gesteuert wird.

Bei der in Fig. 10 gezeigten Ausführungsform umfaßt ein Differenzverstärker erste und zweite Feldeffekttransistoren, d. h. FETen 11' und 12', Stromquellen 13 und 14, die als Lasten dienen und zwischen die Source(Drain)-Elektroden der FETen 11' und 12' und einer Stromquelle Vcc geschaltet sind, und Stromquellen 15 und 16, die zwischen die Drain(Source)-

Elektroden der FETen 11' und 12' und Erde GND geschaltet sind, zum Bestimmen des Stromwerts des Differenzverstärkers. Die Gateelektroden der FETen 11' und 12' sind jeweils mit den Eingangsanschlüssen IN1 und IN2 verbunden, während ihre  
5 Source(Drain)-Elektroden jeweils mit Ausgangsanschlüssen OUT1 und OUT2 verbunden sind. Die Widerstände 29a und 29b sind jeweils zwischen den beiden Enden des FET18 und den Emittern der FETen 11' und 12' verbunden. Gemäß dieser Ausführungsform wird ähnlich zu der in Fig. 7 gezeigten Ausführungsform die  
10 Linearität der Integrierschaltung durch die Widerstände 29a und 29b verbessert, und eine Verriegelungs- bzw. Haltefunktion eines PLL wird ermöglicht.

Bei der in Fig. 11 gezeigten Ausführungsform wird die  
15 Linearität der Integrierschaltung durch Verbinden von zwei Differenzverstärkern derart, daß ihre Ausgangsströme entgegengesetzte Phasen aufweisen, verbessert. Genauer gesagt, ist ein Differenzverstärker OP1, der aus FETen 11', 12' und 18' und Widerständen 29a und 29b zusammengesetzt ist,  
20 und ein Differenzverstärker OP2, der aus FETen 11'', 12'' und 18'' und Widerständen 29d und 29e besteht, jeweils mit den Stromquellen 13 und 14 derart verbunden, daß ihre Ausgänge entgegengesetzte Phasen aufweisen.

25 Bei diesen Ausführungsformen wird mit den Widerständen 29a, 29b, 29d und 29e die Linearität der Integrierschaltung im Vergleich zu einer Integrierschaltung ohne diese Widerstände weiter verbessert und eine Verriegelungs- bzw. Haltefunktion eines Phasenregelkreises ermöglicht.

30

Die in Fig. 12 gezeigte Ausführungsform verwendet als ein lineares Element eine in "FLOATING VOLTAGE-CONTROLLED RESISTORS IN CMOS TECHNOLOGY", IEEE ELECTRONICS LETTERS  
22<sup>nd</sup>, Juli 1982, Band 18, Nr. 15, Seiten 678 - 679

35 offenbarte Schaltung. Das heißt, daß die in dieser Referenz offenbarte Schaltung zwischen die Emitter der Bipolartransistoren 11 und 12 anstelle des FET 18 der in Fig.

1 gezeigten Integrierschaltung geschaltet ist. Die Schaltung  
umfaßt zwei serielle FET-Schaltungen, die zwischen die Vcc-  
und GND-Leitungen geschaltet sind, eine serielle FET-  
Schaltung, die die Feldeffekttransistoren FET1 und FET3  
5 umfaßt, und die beiden anderen Feldeffekttransistoren FET2  
und FET 4. Die Gates der FET1 und FET2 sind jeweils mit dem  
Drain und der Source des FET 18a sowie mit der Source und dem  
Drain des FET18b und den Emittern der Bipolartransistoren 11  
und 12 verbunden. Die Gates der FETen 18a und 18b sind mit  
10 den Sourcen von FET1 bzw. FET2 verbunden. Die Gates der FET1  
und FET4 sind miteinander und über einen Spannungsregler VAJ  
mit der GND-Leitung verbunden.

Da gemäß dieser Ausführungsform die anstelle des FET 18  
15 angeordnete Schaltung als ein linearer Widerstand dient, wird  
die Linearität der Integrierschaltung verglichen mit der  
Integrierschaltung, die den einzelnen FET 18 in der in Fig. 1  
gezeigten Ausführungsform verwendet, weiter verbessert. Bei  
dieser Ausführungsform kann der Widerstandswert durch Ändern  
20 eines mittels des Spannungsreglers VAJ an eine Leitung 19  
anzulegenden Potentials gesteuert werden.

Fig. 13 zeigt eine Integrierschaltung, die durch Addieren der  
Widerstände 29a und 29b zu der in Fig. 12 gezeigten  
25 Integrierschaltung erhalten wird. Das heißt, daß die  
Widerstände 29a und 29b jeweils zwischen die Emitter der  
Transistoren 11 und 12 und der Source und dem Drain des FET  
18 geschaltet sind. Gemäß dieser Integrierschaltung wird eine  
Spannung, die zwischen den Source- und Drainelektroden eines  
30 FET angelegt wird, verringert, so daß die FETen 18a und 18b  
in einem Bereich betrieben werden können, der linearer als  
die in der in Fig. 12 gezeigten Ausführungsform ist.

Nachstehend werden Anwendungen der Integrierschaltung der  
35 vorliegenden Erfindung beschrieben.

Fig. 14 zeigt eine Ausführungsform eines quadratischen aktiven Filters, das eine aus der Integrierschaltung der vorliegenden Erfindung bestehende komplette Differenzanordnung aufweist. Dieses aktive Filter umfaßt

5 spannungsgesteuerte, (auch als Transkonduktanz-Verstärker bezeichnete) Stromquellen 30 bis 33 und Kondensatoren 34 bis 39. Die spannungsgesteuerten Stromquellen 31 bis 33 sind in Kaskaden miteinander verbunden. Die Ausgangsseite der spannungsgesteuerten Stromquelle 33 ist mit einem

10 Ausgangsport P0 verbunden und wird zur Eingangsseite der spannungsgesteuerten Stromquelle 31 rückgekoppelt. Die Kondensatoren 34 und 35 sind jeweils als Lasten mit den Ausgangsseiten der spannungsgesteuerten Stromquellen 31 und 32 verbunden. Die Eingangsseite der spannungsgesteuerten

15 Stromquelle 30 ist mit einem Port P1 verbunden, während ihre Ausgangsseite mit der Eingangsseite der spannungsgesteuerten Stromquelle 32 verbunden ist. Ein Port P2 ist mit der Eingangsseite der spannungsgesteuerten Stromquelle 32 durch die Kondensatoren 36 und 37 verbunden. Ein Port P3 ist mit

20 der Eingangsseite der spannungsgesteuerten Stromquelle 33 durch die Kondensatoren 38 und 39 verbunden.

Jede der spannungsgesteuerten Stromquellen 30 bis 33 weist eine Schaltungsanordnung, die beispielsweise in Fig. 15

25 gezeigt ist, auf. Die Anordnung der in Fig. 15 gezeigten Schaltung ist derjenigen der in Fig. 3 gezeigten Integrierschaltung gleichwertig, wobei der Kondensator 17 als Last weggelassen ist. Bei dieser Schaltung werden

30 Emitterfolger als Puffer, die durch Transistoren 25 und 26 gebildet sind, und Stromquellen 27 und 28 als Emitter-Lasten derselben jeweils zwischen die Eingangsanschlüssen IN1 und IN2 und den Basiselektroden der Transistoren 11 und 12 geschaltet. Die Kondensatoren 34 und 35 in Fig. 14

35 entsprechen einem Kondensator 17, und Integrierschaltungen sind jeweils durch Paaren der spannungsgesteuerten Stromquellen 31 und dem Kondensator 34 und der spannungsgesteuerten Stromquelle 32 und dem Kondensator 35

zusammengesetzt. Es sei bemerkt, daß die spannungsgesteuerte Stromquelle 33 als in Abschlußwiderstand dient.

Wenn ein Ausgangssignal an dem Ausgangsport P0 durch  $V_0$ ;  
 5 Eingangssignale an die Eingangsports P1 bis P3 durch  $V_1$  bis  $V_3$ ; die Kapazitätswerte der Kondensatoren 34, 35, 36 (37) und 38 (39) durch  $C_1$  bis  $C_4$ ; und die Transkonduktanz eines Transistors durch  $g_m$  dargestellt werden, ist die Transferfunktion dieses aktiven Filters durch

10

$$V_0 = [V_3 S_2 (C_1 + C_4) C_3 - V_2 S C_4 g_m + V_1 g_{m2}] / [S_2 (C_1 + C_4) (C_2 + C_3) + S (C_1 + C_4) g_m + g_{m2}] \quad (6)$$

gegeben.

15

Wie aus dieser Gleichung hervorgeht, dient, wenn das Signal  $V_1$  an den Port P1 ( $V_2$  und  $V_3$  sind 0) eingegeben wird, das aktive Filter als Tiefpaßfilter. Wenn das Signal  $V_2$  an den Port P2 ( $V_1$  und  $V_3 = 0$ ) eingegeben wird, dient das aktive  
 20 Filter als Bandpaßfilter. Wenn das Signal  $V_3$  an den Port P3 ( $V_1$  und  $V_2 = 0$ ) eingegeben wird, dient das aktive Filter als ein Hochpaßfilter. Es sei bemerkt, daß in jedem Filtermodus, die Eingangsports die keine Signale empfangen, auf eine wechselstromartige Weise geerdet sind.

25

Fig. 16 zeigt eine Schaltung, in der nur ein Teil, der dem Bandpaßfilter des aktiven Filters in Fig. 14 zugeordnet ist, auf der Transistorebene unter Verwendung der in Fig. 15 gezeigten spannungsgesteuerten Stromquellen verkörpert ist.  
 30 Durch Ändern des Widerstandswerts zwischen den Source- und Drainelektroden des FET 18 in Fig. 15 unter Verwendung der Steuerspannung  $V_c$ , kann die Mittenfrequenz ( $f_0$ ) des Bandpaßfilters gesteuert werden. Wenn die Phasencharakteristiken des Bandpaßfilters durch Ändern des  
 35 Widerstandswerts zwischen den Source- und Drainelektroden des FET 21 in Fig. 15 unter Verwendung einer Steuerspannung  $V_p$

gesteuert werden, kann eine unerwünschte Phasenverzögerung einer Hochfrequenzkomponente kompensiert werden.

Fig. 14 und 15 zeigen das ausgeglichene aktive Filter. Die  
5 vorliegende Erfindung kann jedoch auf ein unausgeglichenes Filter angewendet werden, wie in Fig. 17 gezeigt ist. Fig. 17 zeigt ein unausgeglichenes quadratisches aktives Filter. Bei diesem aktiven Filter werden zwei unausgeglichene spannungsgesteuerte Quellen 41 und 42 in Kaskade miteinander  
10 verbunden, während der nicht-invertierende Eingangsanschluß der spannungsgesteuerten Stromquelle 41 und der Ausgangsanschluß der spannungsgesteuerten Stromquelle 42 jeweils mit einem Eingangsport P1 und einem Ausgangsport P0 verbunden sind. Zusätzlich sind die Ausgangsanschlüsse der  
15 spannungsgesteuerten Stromquellen 41 und 42 jeweils mit den Eingangsports P2 und P3 durch Kondensatoren 43 und 44 verbunden. Der Ausgangsanschluß der spannungsgesteuerten Stromquelle 42 wird negativ an die invertierenden Eingangsanschlüsse der spannungsgesteuerten Stromquellen 41  
20 und 42 durch Rückkopplungselemente 45 und 46 zurückgeführt.

Jede der spannungsgesteuerten Stromquellen 41 und 42 weist eine in Fig. 18A und 18B gezeigte Anordnung auf, die grundlegend einer Schaltung gleichwertig ist, die durch  
25 Modifizieren der in Fig. 6 gezeigten spannungsgesteuerten Stromquelle zu einem unausgebalancierten Typ erhalten wird. In Fig. 18A ist die Stromquelle 13 von Fig. 6 weggelassen, so daß der Kollektor eines Transistors 11 direkt mit einer Stromquelle Vcc verbunden ist, und der Kollektor eines  
30 Transistors 12 mit einem Ausgangsanschluß OUT verbunden ist. Die Emitterfolger, die aus den Transistoren 25 und 26 und die Stromquellen 27 und 28 bestehen, sind jeweils zwischen Eingangsanschlüssen IN1 und IN2 und die Basiselektroden der Transistoren 11 und 12 geschaltet. In bezug auf Fig. 18B  
35 werden die Lastelemente der Transistoren 11 und 12 in Fig. 6 durch eine aus Transistoren 51 und 52 bestehende Stromspiegelschaltung ersetzt. In diesen Fällen wird ein Ende

jedes der Kondensatoren (z. B. der Kondensatoren 43 und 44 in Fig. 17) zum Bilden einer Integrationschaltung mit dem Ausgangsanschluß OUT verbunden.

- 5 Wenn ein Ausgangssignal an den Ausgangsport P0 durch  $V_0$ ,  
Eingangssignale an die Eingangsports  $P_1$  bis  $P_3$  durch  $V_1$  bis  
 $V_3$ , die Kapazitätswerte der Kondensatoren 43 und 44 durch  $C_1$   
und  $C_2$ , die Rückkopplungskoeffizienten der  
10 Rückkopplungselemente 45 und 46 durch  $m_0$  und  $m_1$  und die  
Transkonduktanz eines Transistors durch  $g_m$  dargestellt ist,  
ist die Transferfunktion des aktiven Filters durch

$$V_0 = \frac{V_2 S^2 + \frac{g_m}{C_2} V_1 S + \frac{g_m^2}{C_1 C_2}}{S^2 + \frac{g_m \cdot m_1}{C_2} S + \frac{g_m^2 \cdot m_0}{C_1 \cdot C_2}}$$

15 gegeben.

- Ähnlich dem aktiven Filter in Fig. 7 dient daher dieses  
aktive Filter als ein Tiefpaßfilter, wenn das Signal  $V_1$  am  
Port  $P_1$  ( $V_2$  und  $V_3$  sind 0) eingegeben wird. Wenn das Signal  
20  $V_2$  am Port  $P_2$  ( $V_1$  und  $V_3$  sind 0) eingegeben wird, dient das  
aktive Filter als ein Bandpaßfilter. Wenn das Signal  $V_3$  am  
Port  $P_3$  ( $V_1$  und  $V_2$  sind 0) eingegeben wird, dient das aktive  
Filter als ein Hochpaßfilter.

- 25 Fig. 19 zeigt ein unausgeglichenes lineares aktives Filter.  
Bei diesem aktiven Filter ist der nicht-invertierende  
Eingangsanschluß einer spannungsgesteuerten Stromquelle 61  
mit einem Eingangsport  $P_1$  verbunden. Der Ausgangsanschluß  
der spannungsgesteuerten Stromquelle 61 ist mit einem  
30 Ausgangsport P0 und auch mit einem Eingangsport P2 durch  
einen Kondensator 62 verbunden. Zusätzlich ist der  
Ausgangsanschluß der spannungsgesteuerten Stromquelle 61 zu  
seinem invertierenden Eingangsanschluß rückgekoppelt. Die  
spannungsgesteuerte Stromquelle 61 weist eine Anordnung auf,  
35 die derjenigen in Fig. 18A oder 18B gezeigten gleichwertig  
ist. Wenn ein Signal an den Eingangsport  $P_1$  eingegeben wird,  
dient dieses aktive Filter als ein Tiefpaßfilter. Wenn ein



Signal am Eingangsport P2 eingegeben wird, dient das aktive Filter als ein Hochpaßfilter.

- Fig. 20 zeigt ein Kreuzglied-Tiefpaßfilter fünfter Ordnung (lattice type quintic low-pass filter), das aus einem LC besteht. Fig. 21 zeigt ein aktives Filter, das eine komplette Differentialanordnung, basierend auf einem aus der in Fig. 20 gezeigten Schaltung erhaltenen Signalflußdiagramm, zeigt. Die spannungsgesteuerten Stromquellen 70 und 80 in Fig. 21 entsprechen beispielsweise den in Fig. 15 gezeigten spannungsgesteuerten Stromquellen. Diese spannungsgesteuerten Stromquellen sind mit Kondensatoren 81 bis 85 verbunden, um Integrierschaltungen zu bilden.
- Die oben beschriebenen Anwendungen sind aktiven Filtern zugeordnet. Die Integrierschaltung der vorliegenden Erfindung kann jedoch auf weitere Vorrichtungen, beispielsweise einen spannungsgesteuerten Oszillator (VCO), angewendet werden. Fig. 22 zeigt ein derartiges Beispiel, das grundlegend ausgestaltet ist, daß die spannungsgesteuerte Stromquelle 33, die als ein Abschlußwiderstand in dem in Fig. 16 gezeigten aktiven Filter verwendet wird, weggelassen ist, um einen oszillierenden Betrieb zu ermöglichen. In diesem Fall wird, wenn die Steuerspannung  $V_c$ , die an den in Fig. 15 gezeigten FET 18 anzulegen ist, geändert wird, die Zeitkonstante jeder Integrierschaltung geändert, und die Oszillationsfrequenz des Oszillators wird geändert, womit dem Oszillator ermöglicht wird, als ein VCO zu arbeiten.
- Zusätzlich kann ein FM-Modulator oder dergleichen unter Verwendung dieses VCO verwirklicht werden.

Gemäß der Integrierschaltung der vorliegenden Erfindung kann die Zeitkonstante durch Ändern der Transkonduktanz des Differenzverstärkers geändert werden, während ein hohes Rauschverhältnis beibehalten werden kann. Daher ist die

10.11.99

- 24 -

Integrierschaltung für ein aktives Filter oder einen VCO  
geeignet, das bzw. der in Hochfrequenzbändern verwendet wird.

18.11.99

91 305 416.9  
KABUSHIKI KAISHA TOSHIBA

Patentansprüche

1. Eine Integrierschaltung mit folgenden Merkmalen:  
einen Differenzverstärker;  
einen Kondensator (17), der als eine Last des  
Differenzverstärkers dient;  
5 einen Steueranschluß (19), an den eine Steuerspannung  
angelegt ist; und  
einen Feldeffekttransistor (18), der mit dem  
Differenzverstärker verbunden ist,  
dadurch gekennzeichnet, daß der Differenzverstärker  
10 mindestens erste und zweite Bipolartransistoren (11,12)  
aufweist, deren jeweilige Emittierelektroden und jeweilige  
Basiselektroden mit jeweiligen Eingangsanschlüssen (IN1, IN2)  
verbunden sind, und die als verstärkende Elemente dienen,  
wobei der Feldeffekttransistor (18) Source- und  
15 Drainelektroden, die jeweils mit den Emittierelektroden der  
ersten und zweiten Bipolartransistoren verbunden sind, und  
eine Gateelektrode, die mit dem Steueranschluß verbunden ist,  
aufweist.
- 20 2. Eine Schaltung gemäß Anspruch 1, dadurch gekennzeichnet,  
daß diese ferner eine Schaltung mit positiver Rückkopplung  
aufweist, die durch einen dritten Transistor (21), der  
Kollektor- und Basiselektroden aufweist, die jeweils mit den  
Emittierelektroden der ersten und zweiten Bipolartransistoren  
25 (11,12) verbunden sind, und einen vierten Transistor (22),  
der Kollektor- und Basiselektroden aufweist, die jeweils mit  
den Emittierelektroden der zweiten und ersten  
Bipolartransistoren verbunden sind, gebildet ist.
- 30 3. Eine Schaltung gemäß Anspruch 1, dadurch gekennzeichnet,  
daß diese ferner einen zweiten Feldeffekttransistor (23)  
aufweist, der Source- und Drainelektroden aufweist, die

jeweils mit Kollektorelektroden der ersten und zweiten Bipolartransistoren verbunden sind, und einer Gateelektrode, an die eine Steuerspannung zum Steuern einer Gleichstromverstärkung der Integrierschaltung angelegt ist.

5

4. Eine Schaltung gemäß Anspruch 1, dadurch gekennzeichnet, daß diese ferner eine Schaltung mit positiver Rückkopplung aufweist, die durch einen dritten Transistor (21), der Kollektor- und Basiselektroden aufweist, die jeweils mit den  
10 Emitterelektroden der ersten und zweiten Bipolartransistoren verbunden sind, einen vierten Transistor (22), der Kollektor- und Basiselektroden aufweist, die jeweils mit den Emitterelektroden der zweiten und ersten Bipolartransistoren verbunden sind, und eine  
15 Gleichstromverstärkungssteuerungsschaltung durch einen zweiten Feldeffekttransistor (23), der Source- und Drainelektroden aufweist, die jeweils mit den Kollektorelektroden der ersten und zweiten Bipolartransistoren verbunden sind, und eine Gateelektrode,  
20 an die eine Steuerspannung angelegt ist, gebildet ist.

5. Eine Schaltung gemäß Anspruch 1, dadurch gekennzeichnet, daß diese ferner einen Festwiderstand (29) aufweist, der mit den Source- und Drainelektroden des Feldeffekttransistors  
25 parallel verbunden ist.

6. Eine Schaltung gemäß Anspruch 1, dadurch gekennzeichnet, daß diese ferner einen ersten Festwiderstand (29a), der zwischen der Sourceelektrode des Feldeffekttransistors (18)  
30 und der Emitterelektrode des Bipolartransistors (11) in Serie verbunden ist, und einen zweiten Festwiderstand (29b), der zwischen der Drainelektrode des Feldeffekttransistors (18) und der Emitterelektrode des Bipolartransistors (12) in Serie verbunden ist, aufweist.

35

7. Eine Schaltung gemäß Anspruch 6, dadurch gekennzeichnet, daß diese ferner einen dritten Festwiderstand (29c) aufweist,

der mit den Source- und Drainelektroden des Feldeffekttransistors parallel verbunden ist.

8. Eine Schaltung gemäß Anspruch 6, dadurch gekennzeichnet,  
5 daß diese ferner einen dritten Festwiderstand (29c) aufweist,  
der mit einer Reihenschaltung parallel verbunden ist, die aus  
dem Feldeffekttransistor und dem ersten und zweiten  
Festwiderständen gebildet ist.
- 10 9. Eine Schaltung gemäß Anspruch 1, dadurch gekennzeichnet,  
daß diese ferner Emitterfolger (25,26), die jeweils zwischen  
zwei Eingangsanschlüssen (In1, In2) und Basiselektroden der  
ersten und zweiten Bipolartransistoren (11,12) verbunden  
15 sind, und einen Ausgangsanschluß (OUT), der mit einem  
Kollektor des zweiten Bipolartransistors (12) verbunden ist,  
aufweist.
10. Eine Integrierschaltung gemäß Anspruch 1, ferner  
gekennzeichnet durch  
20 ein Impedanz-änderndes Schaltungsnetzwerk (R1,...,Rn), das  
zwischen den Emittierelektroden der ersten und zweiten  
Bipolartransistoren verbunden ist und aus mindestens einem  
Feldeffekttransistor und einem Widerstand gebildet ist.
- 25 11. Eine Schaltung gemäß Anspruch 10, ferner dadurch  
gekennzeichnet, daß das Impedanz-ändernde Schaltungsnetzwerk  
aus einer Mehrzahl von in Serie verbundenen Impedanz-  
ändernden Schaltungen gebildet ist, wobei jede der Impedanz-  
ändernden Schaltungen aus einem Feldeffekttransistor und  
30 einem Widerstand (R1), die zwischen den Source- und  
Drainelektroden des Feldeffekttransistors parallel verbunden  
sind, gebildet ist.
12. Eine Integrierschaltung gemäß Anspruch 1, ferner dadurch  
35 gekennzeichnet, daß  
der Differenzverstärker erste bis vierte Bipolartransistoren  
(11,12,21,22) als verstärkende Elemente aufweist, wobei die

18.11.99

4

ersten und zweiten Bipolartransistoren (11,12)  
Basis Elektroden als Eingangsanschlüsse aufweisen, eine  
Kollektorelektrode von mindestens einem der ersten und  
zweiten Bipolartransistoren als ein Ausgangsanschluß dient,  
5 der dritte Bipolartransistor (21) Kollektor- und  
Basis Elektroden aufweist, die jeweils mit den  
Emittierelektroden der ersten und zweiten Bipolartransistoren  
verbunden sind, und der vierte Bipolartransistor (22)  
Kollektor- und Basis Elektroden aufweist, die jeweils mit den  
10 Emittierelektroden der zweiten und ersten Bipolartransistoren  
verbunden sind, und  
der Feldeffekttransistor (18) Source- und Drainelektroden  
aufweist, die jeweils mit Emittierelektroden der dritten und  
vierten Transistoren verbunden sind.

18.11.99

91 305 416.9  
KABUSHIKI KAISHA TOSHIBA

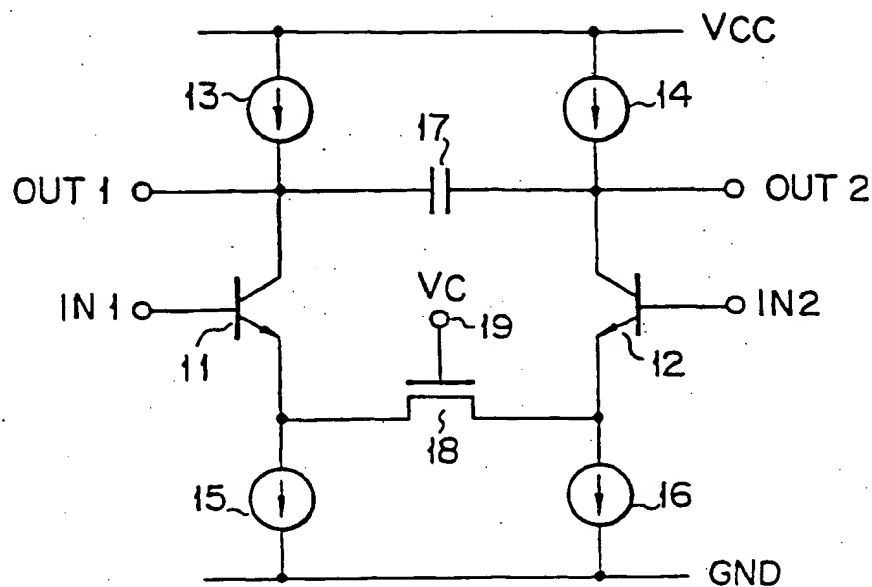


FIG. 1

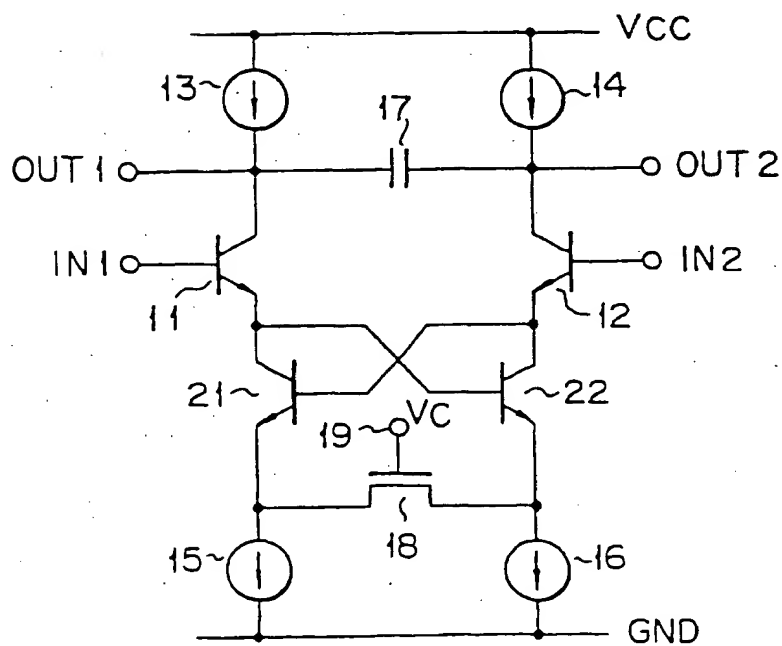


FIG. 2

18.11.99  
2/14

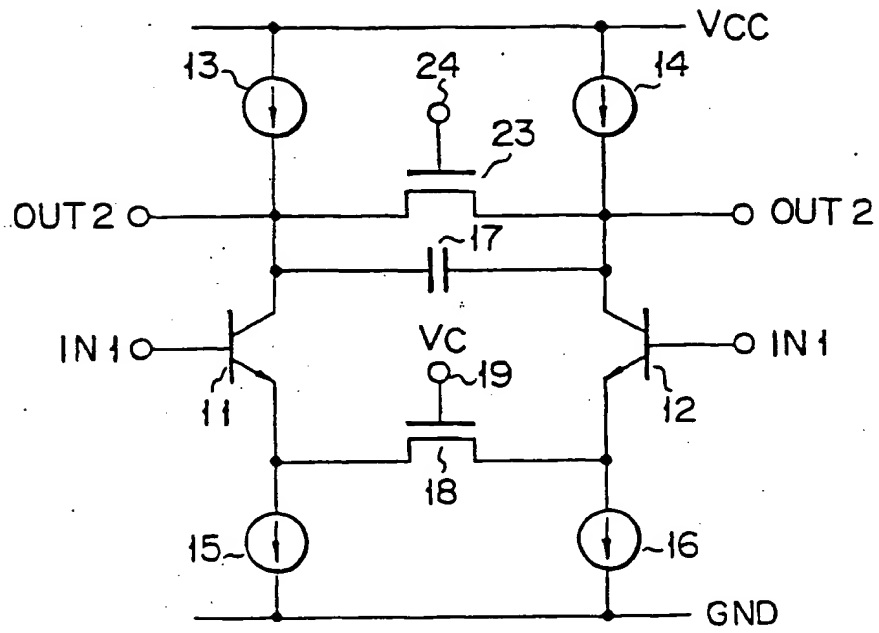


FIG. 3

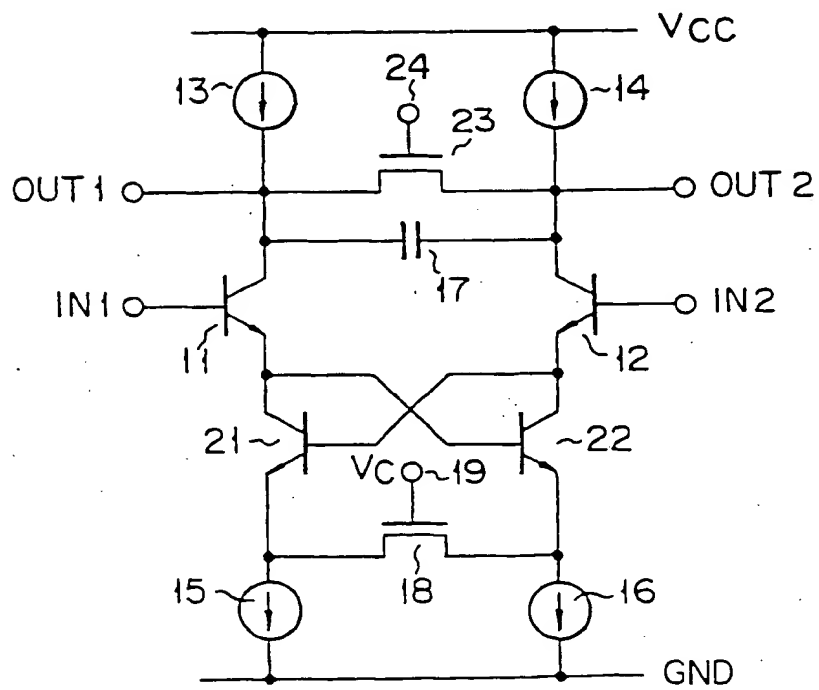


FIG. 4



18.11.99

3/14

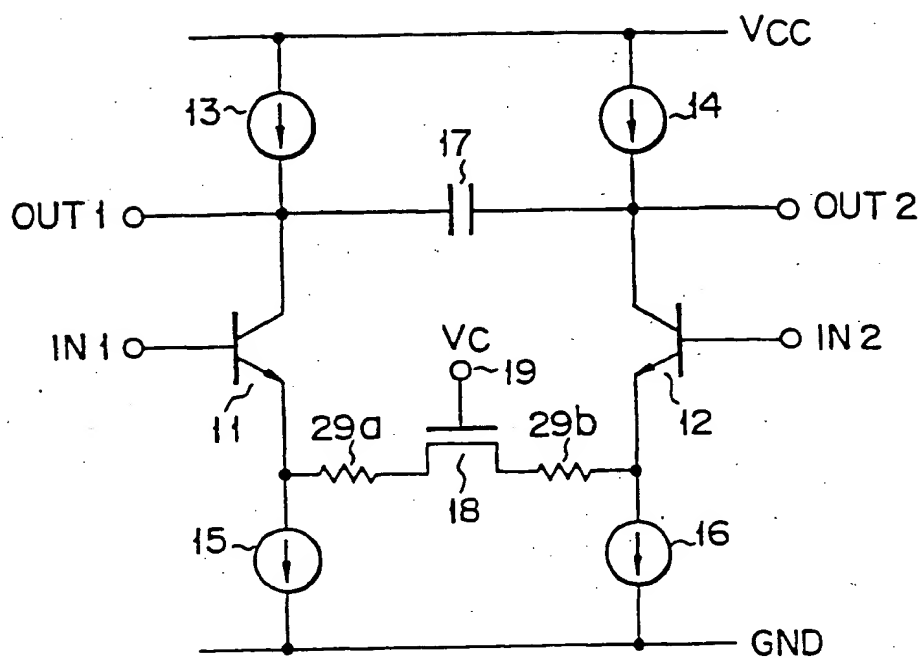


FIG. 5

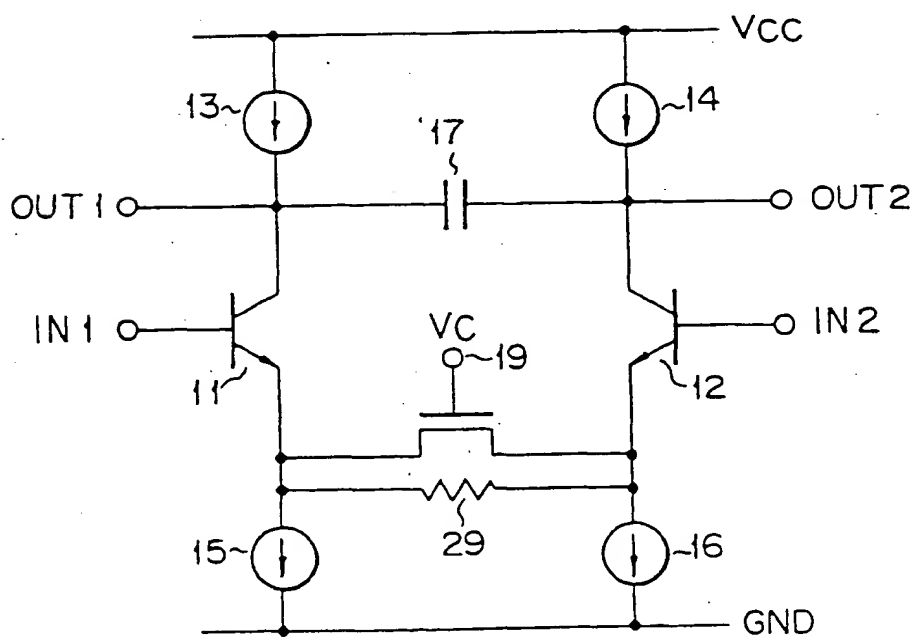


FIG. 6

18-11-99  
4/14

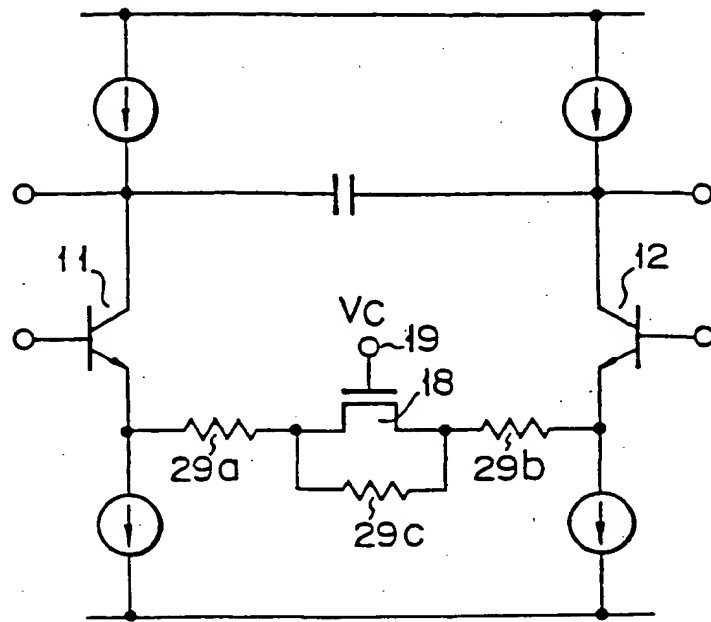


FIG. 7

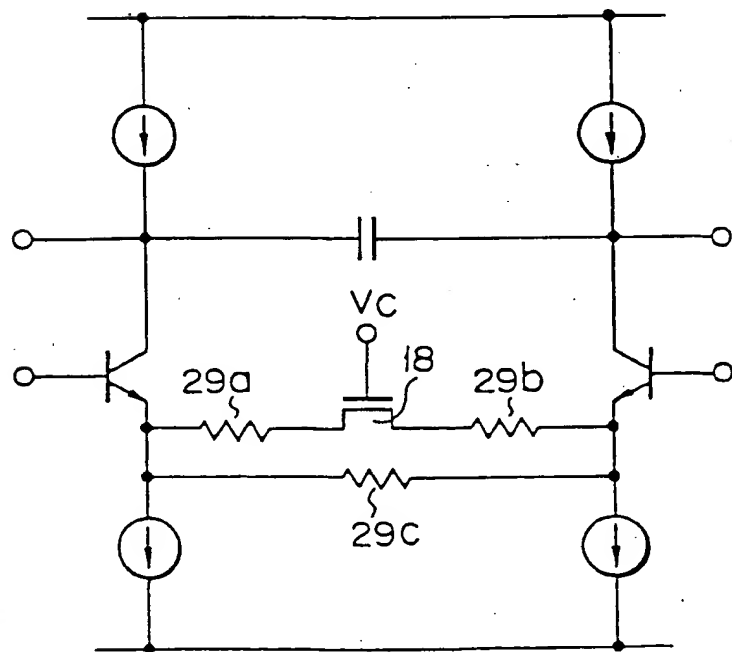


FIG. 8

18.11.99  
S/P

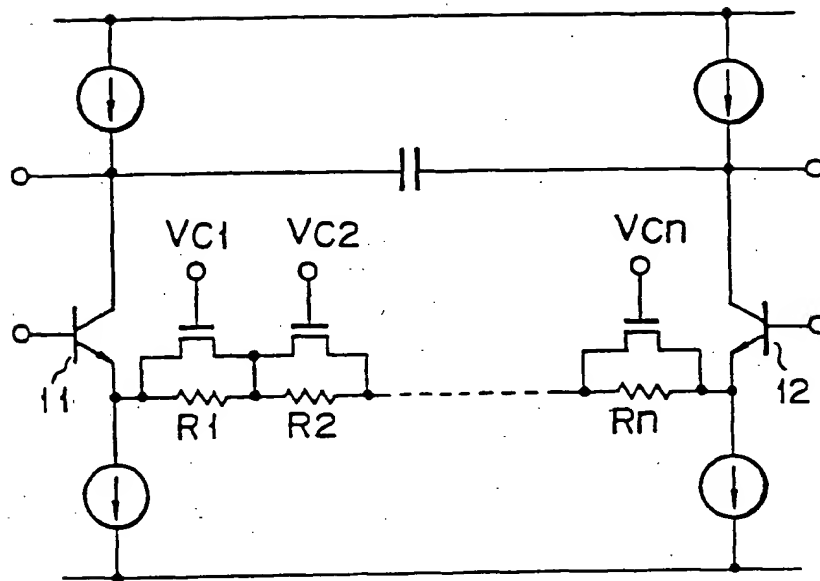


FIG. 9

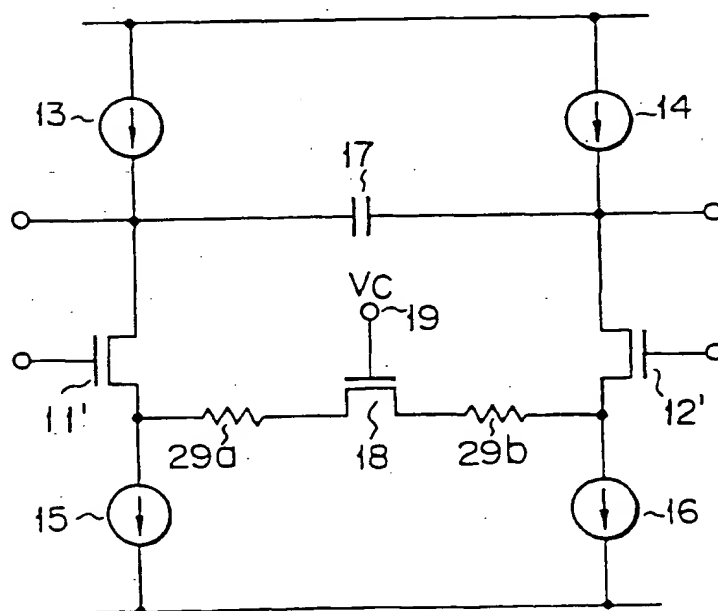


FIG. 10

19.11.99

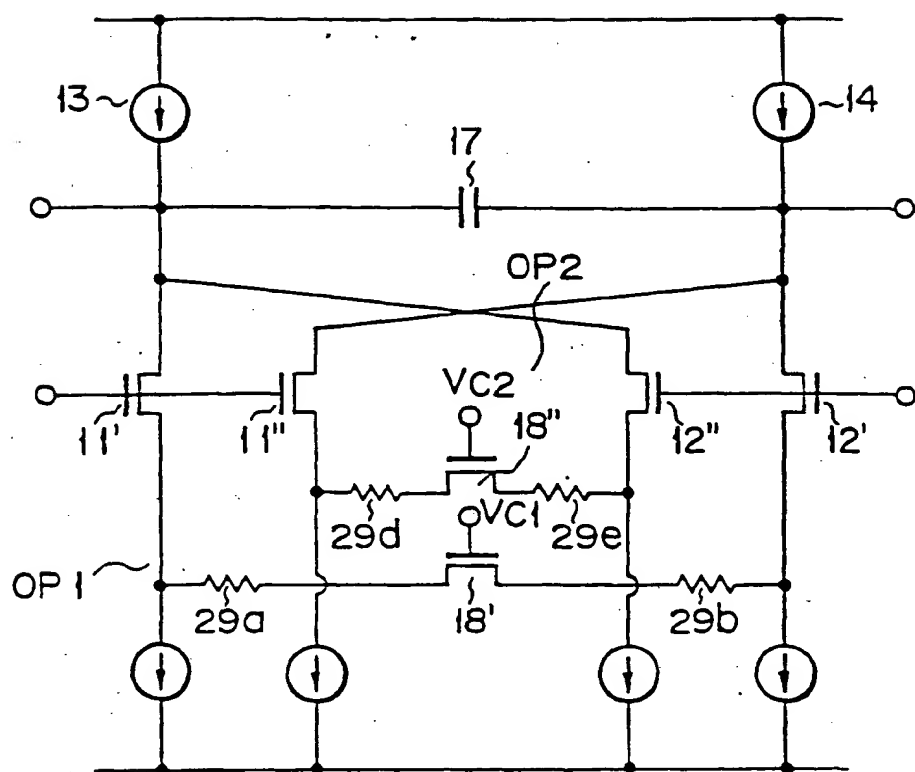


FIG. 11

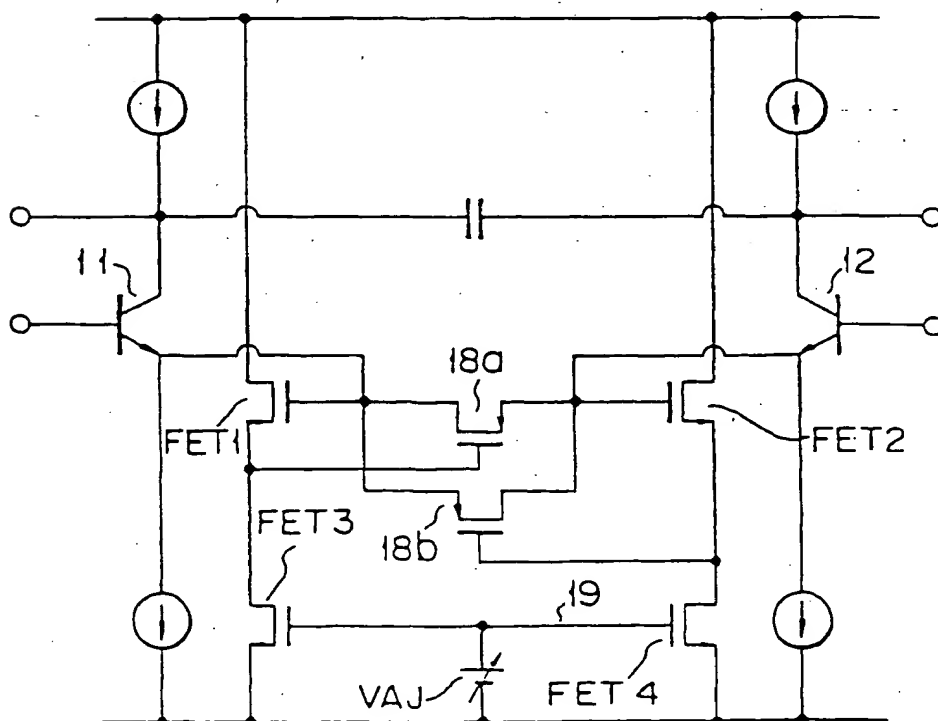


FIG. 12

10.11.99

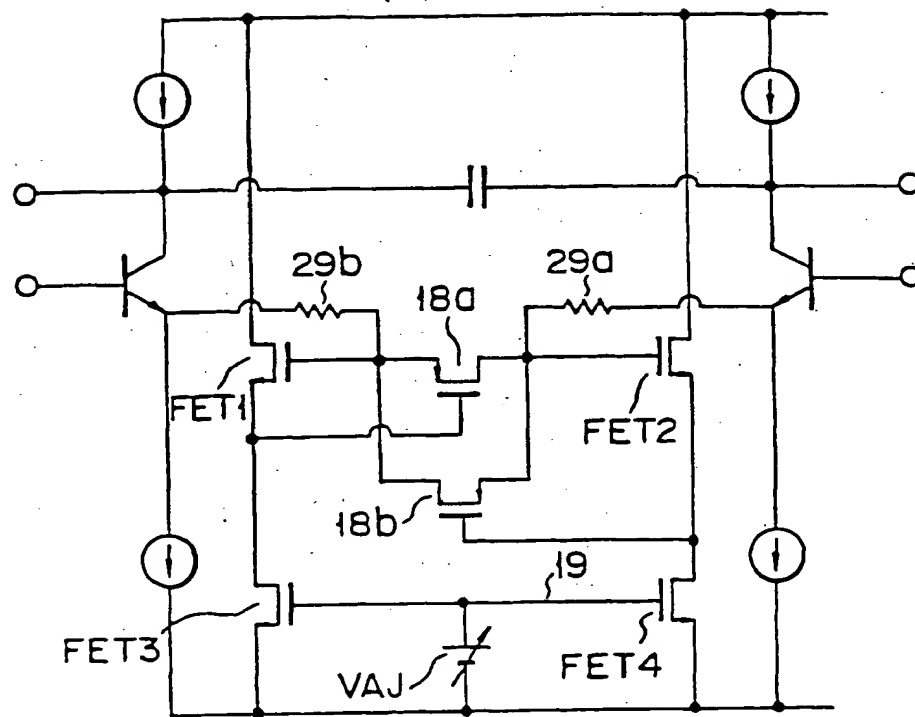


FIG. 13

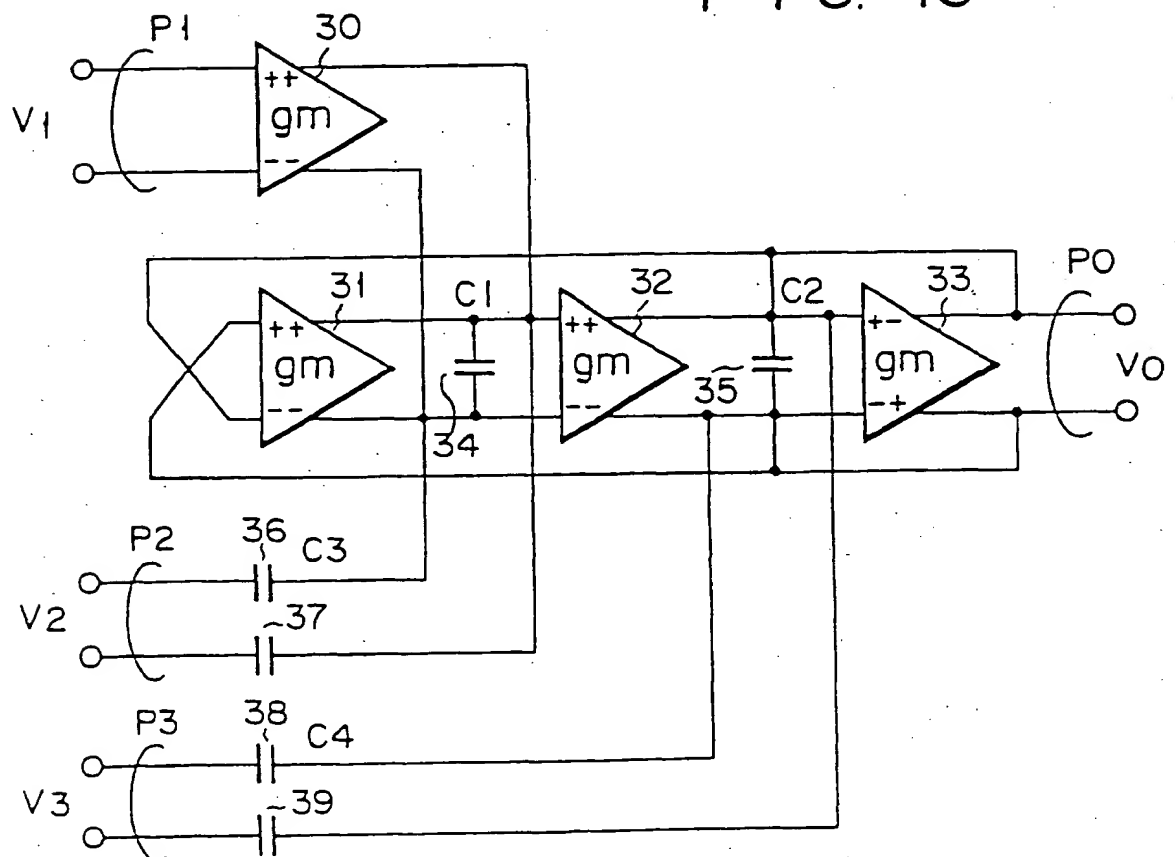


FIG. 14

18.11.99  
8/11

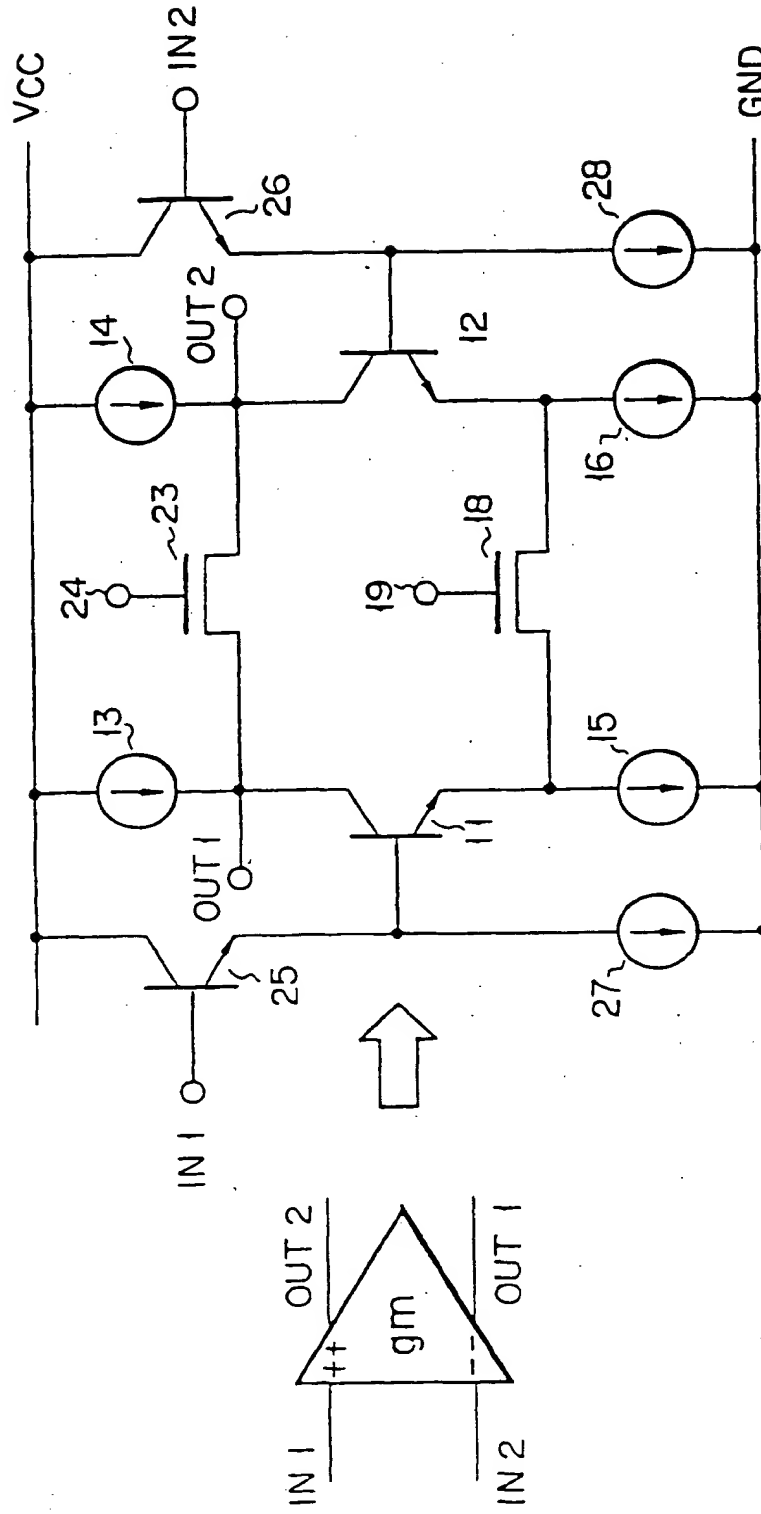
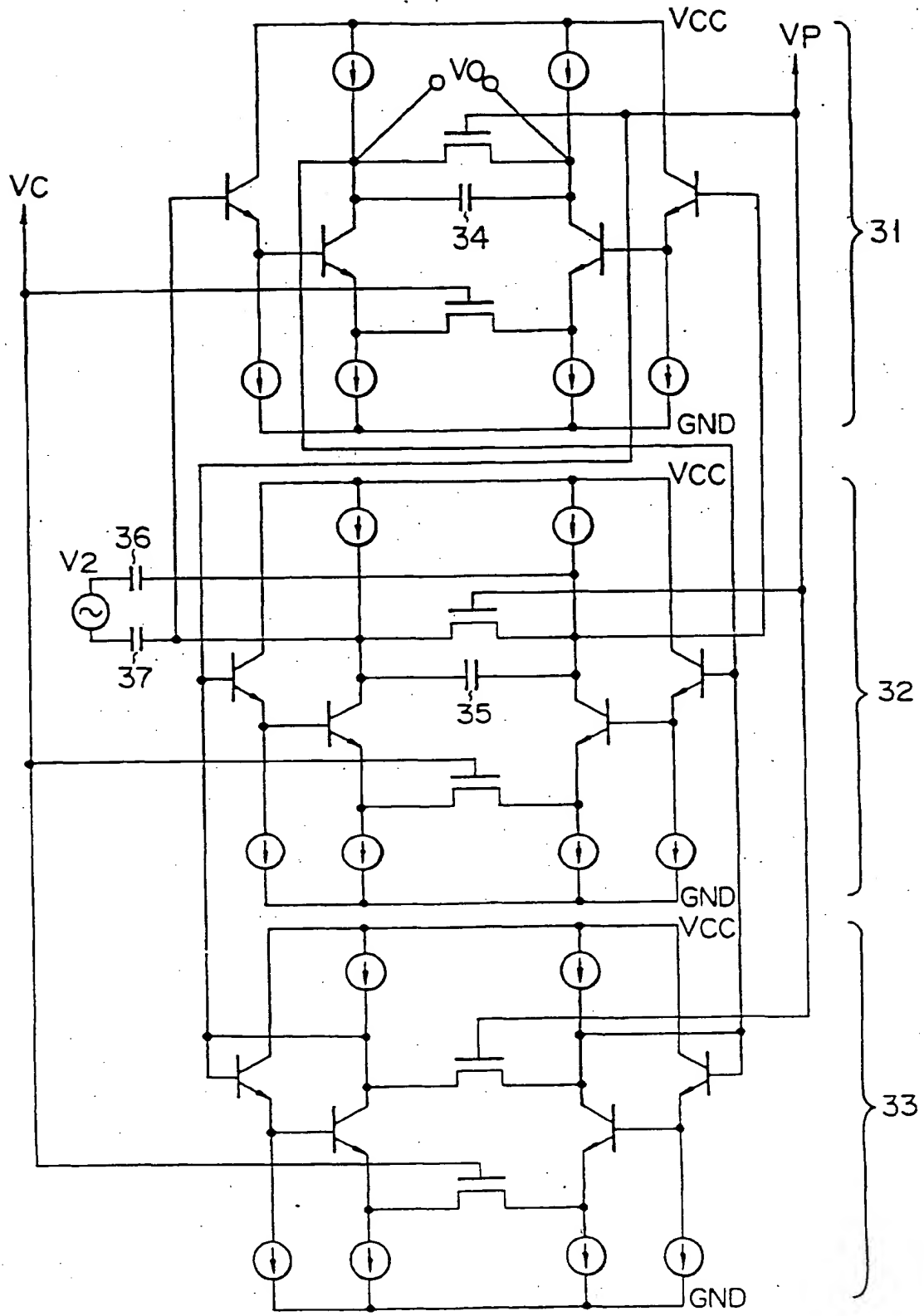


FIG. 15

18.11.99



F I G. 16

18.11.93

12/14

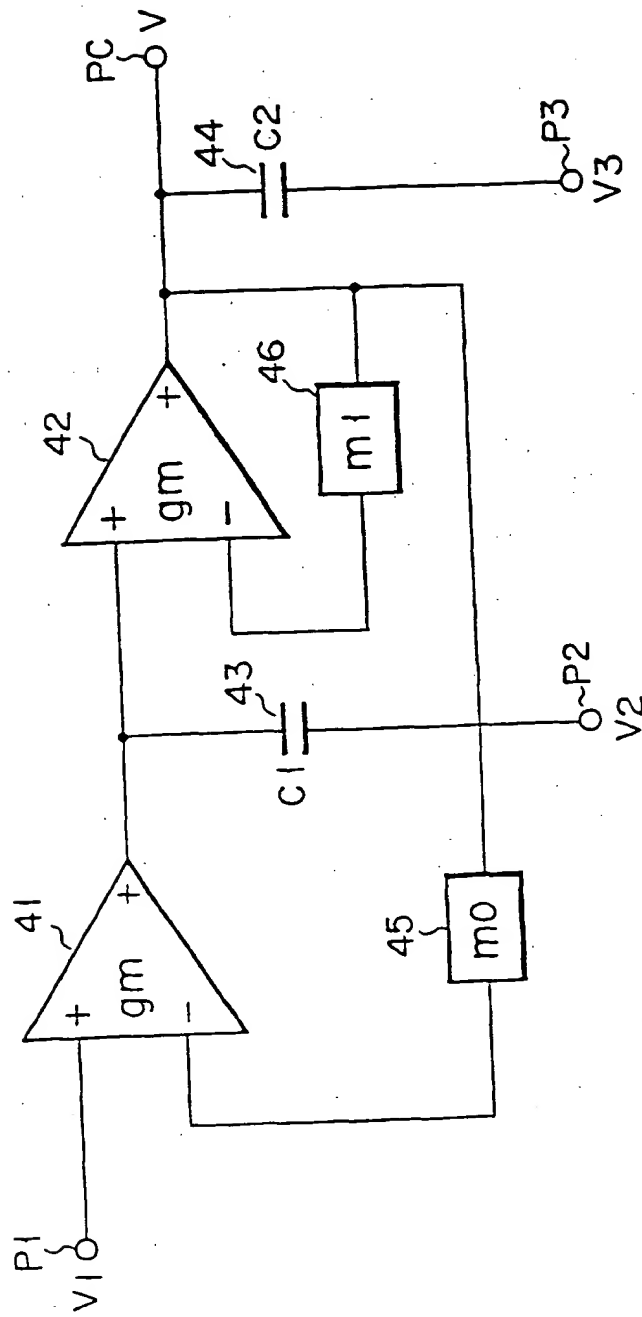


FIG. 17



18.11.99

11/14

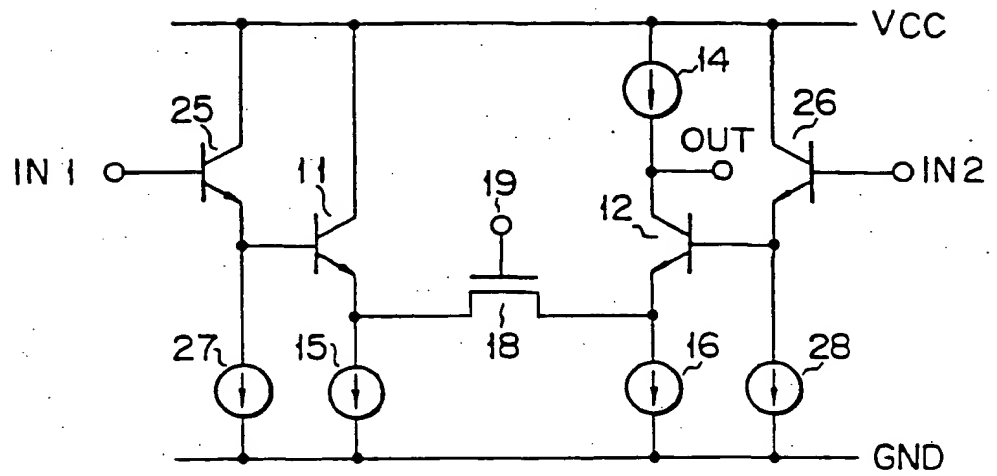


FIG. 18A

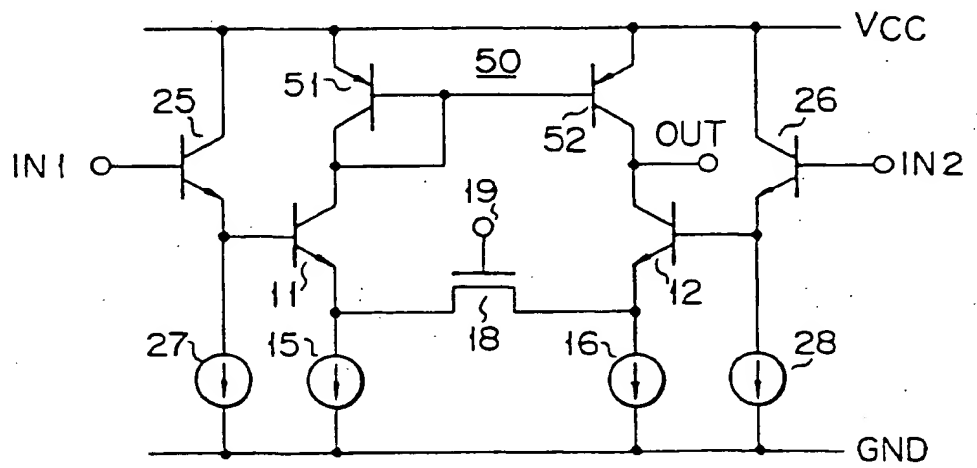
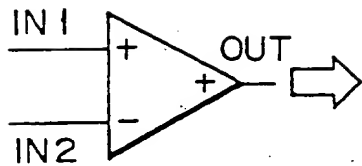


FIG. 18B

18.11.99

12/14

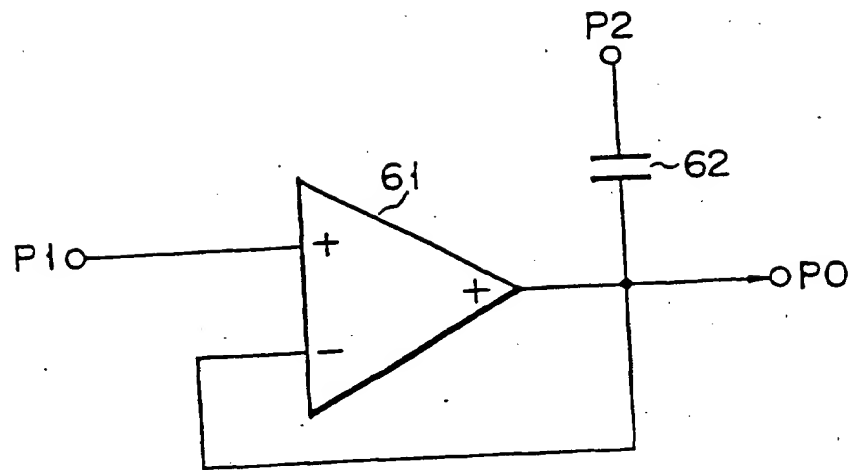


FIG. 19

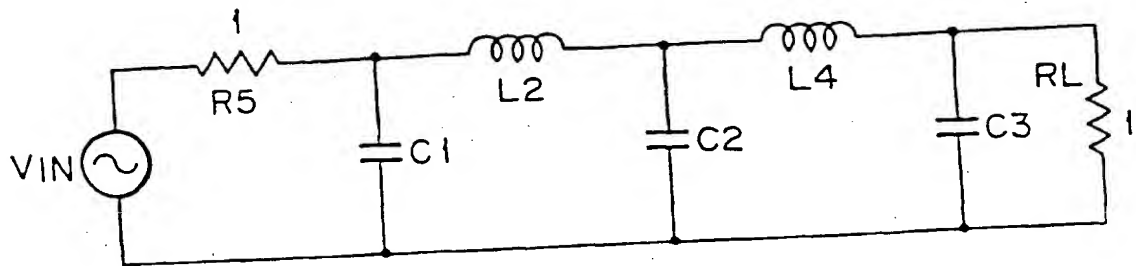


FIG. 20

10.11.99

13/14

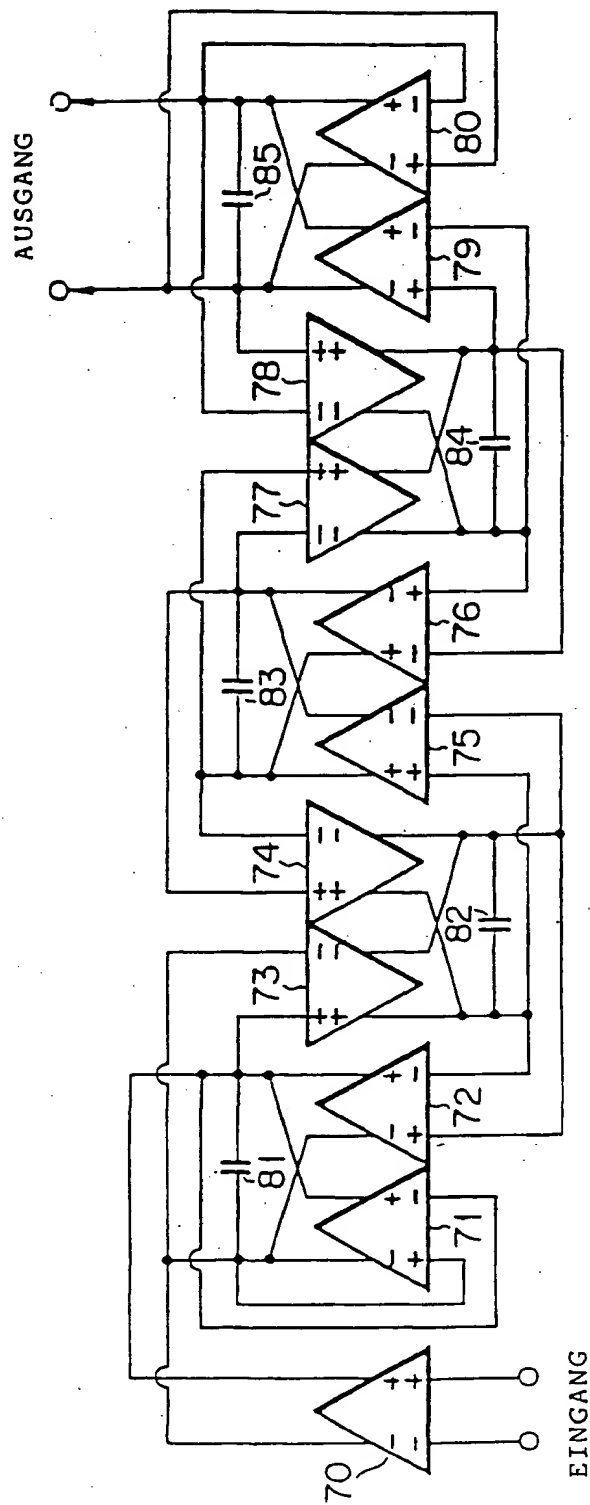
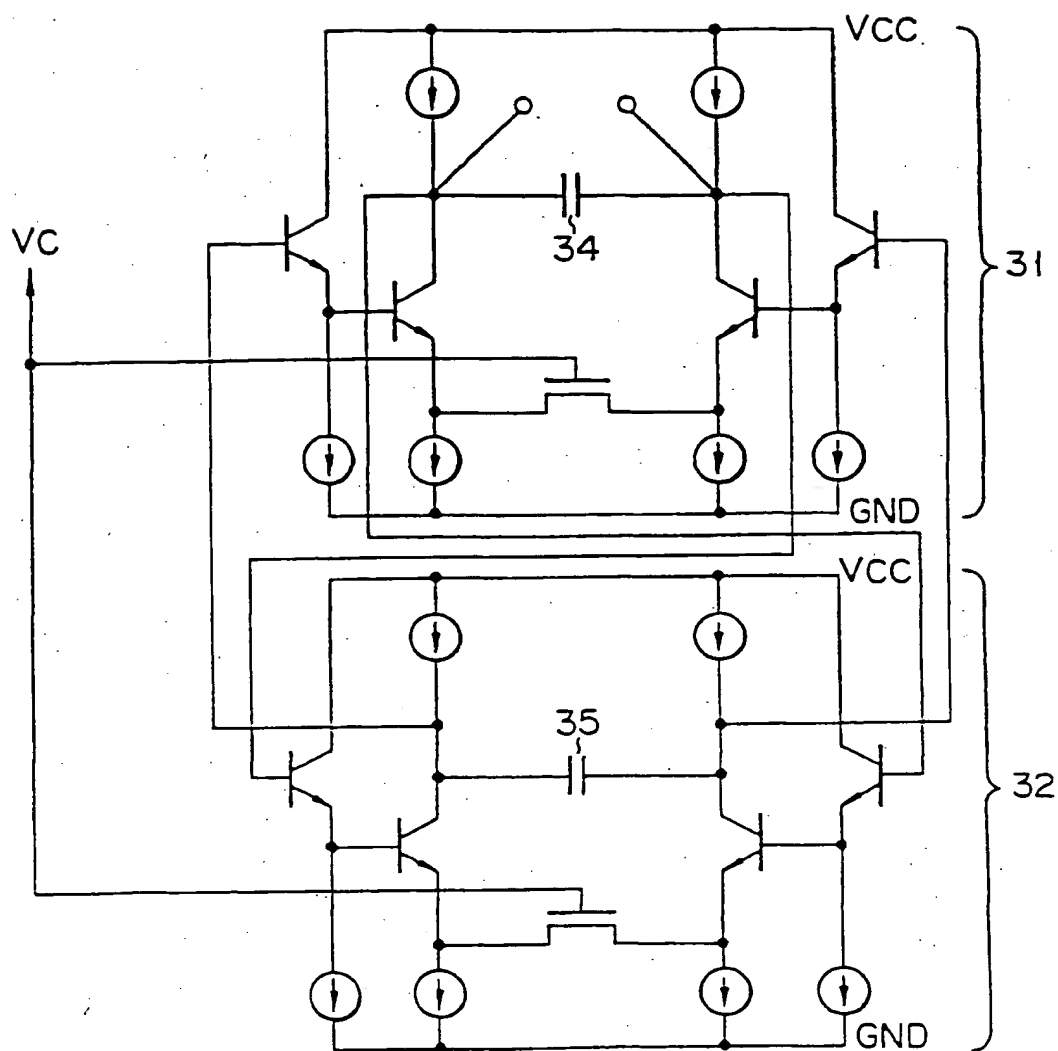


FIG. 21

18.11.99

14/14



F I G. 22